

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-217430
(P2001-217430A)

(43)公開日 平成13年8月10日 (2001.8.10)

(51)Int.Cl. ⁷	識別記号	F I	テームコード(参考)
H 0 1 L 29/786		H 0 1 L 27/12	B
27/12		29/78	6 1 8 E
21/336			6 2 7 D

審査請求 未請求 請求項の数9 O L (全 12 頁)

(21)出願番号 特願2000-357158(P2000-357158)
(22)出願日 平成12年11月24日 (2000. 11. 24)
(31)優先権主張番号 特願平11-336059
(32)優先日 平成11年11月26日 (1999. 11. 26)
(33)優先権主張国 日本 (J P)

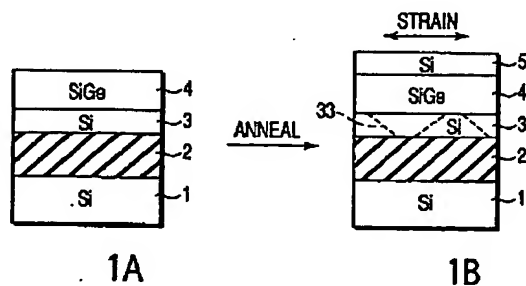
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 白田 宏治
東京都港区芝浦一丁目1番1号 株式会社
東芝本社事務所内
(72)発明者 高木 信一
東京都港区芝浦一丁目1番1号 株式会社
東芝本社事務所内
(74)代理人 100083161
弁理士 外川 英明

(54)【発明の名称】 半導体基板の製造方法およびこれにより製造された半導体基板

(57)【要約】

【課題】歪み層／歪み印加結晶層構造において、歪み印加結晶層構造より発生する結晶欠陥による歪み層の結晶性劣化を低減し、かつ絶縁層上に歪み層／歪み印加結晶層構造を薄膜で形成した基板とその形成方法とを提供する。

【解決手段】S i 基板上的の絶縁層と、別のS i 基板上的のS i G e 層とを、半導体張り合わせ技術を用いて接合し、S i G e 層側のS i 基板を研磨等により除去する。



【特許請求の範囲】

【請求項1】基板と、前記基板上に形成された絶縁膜と、前記絶縁膜上に実質的に接して形成され格子緩和したアンドープの第1の半導体層と、前記第1の半導体層上に形成されその格子定数が前記第1の半導体層の格子定数よりも小さくかつ引っ張り格子歪みを有する第2の半導体層と、前記第2の半導体層上に選択的に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート絶縁膜直下の前記第2の半導体層の表面に形成されたチャネル領域と、少なくとも前記第2の半導体領域に、前記チャネル領域を介して互いに離れて設けられたソース・ドレイン領域とを具備することを特徴とする半導体装置。

【請求項2】前記第1の半導体層は、少なくとも前記第2の半導体層側のGe組成が30atm%より大であるSiGe層であり、前記第2の半導体層がSiである請求項1記載の半導体装置。

【請求項3】前記第1の半導体層はSiGe層であり、かつ前記基板側のGe組成が30atm%以下で、前記第2の半導体層側のGe組成が30atm%より大である傾斜組成を有し、前記第2の半導体層がSiである請求項1記載の半導体装置。

【請求項4】基板表面に絶縁膜を形成する工程と、第1の半導体層が第2の半導体層上に形成された積層層を有する積層基板を形成する工程と、前記基板と前記積層基板とを前記絶縁膜及び前記第1の半導体層を合わせるように張り合わせる工程と、前記第1の半導体層と前記第2の半導体層の少なくとも一部とが残るように前記積層基板を除去し、格子緩和された前記第1の半導体層と、引っ張り格子歪みを印加させた前記第2の半導体層との積層構造を形成する工程と、前記積層構造にトランジスタを形成することを特徴とする半導体装置の製造方法。

【請求項5】第1の半導体層が第2の半導体層上に形成された積層層を有する積層基板を形成する前記工程は、さらに前記第1の半導体層上に絶縁層を積層する工程を備え、前記基板と前記積層基板とを前記絶縁膜及び前記第2の半導体層を合わせるように張り合わせる前記工程は、前記基板上に形成された絶縁膜と前記第1の半導体層上に形成された絶縁膜とを合わせるように張り合わせる工程であることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】基板の表面に絶縁膜を形成する工程と、半導体基板の表面に第1の半導体層を形成する工程と、前記絶縁膜及び前記第1の半導体層を合わせるように前記基板と前記半導体基板を張り合わせる工程と、前記第1の半導体層が少なくとも残るように前記半導体基板を除去し前記第1の半導体層を格子緩和させる工程と、前記第1の半導体層上に第2の半導体層を積層し前記第2の半導体層に引っ張り格子歪みを印加させた積層構造を形成する工程と、前記積層構造にトランジスタを形成する

ことを特徴とする半導体装置の製造方法。

【請求項7】第1の半導体層が第2の半導体層上に形成された積層層を有する積層基板を形成する前記工程は、さらに前記第1の半導体層上に絶縁層を積層する工程を備え、前記基板と前記積層基板とを前記絶縁膜及び前記第1の半導体層を合わせるように張り合わせる前記工程は、前記基板上に形成された絶縁膜と前記第1の半導体層上に形成された絶縁膜とを合わせるように張り合わせる工程であることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項8】前記第1の半導体層はSiGe層であり、前記第2の半導体層はSi層であり、前記第1の半導体層を形成する工程は、前記第1の半導体層の、前記絶縁層と合わせられる側のGe組成が30%以下で、前記第1の半導体層の、前記第2の半導体層が接する面側のGe組成が30%より大である傾斜組成を有するように第1の半導体層の組成を制御する工程を含む請求項7の半導体装置の製造方法。

【請求項9】基板と、前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された格子緩和したアンドープの第1の半導体層と、前記第1の半導体層上に形成された引っ張り格子歪みを有する第2の半導体層とを具備する半導体基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、半導体装置の製造方法、半導体基板、とりわけ歪みSi層を活性領域とする半導体装置、半導体装置の製造方法、半導体基板に関する。

【0002】

【従来の技術】Si半導体素子、とりわけMOSFETトランジスタの性能は、大規模集積回路(LSI)の進歩と共に年々向上している。しかしながら、近年リソグラフィ技術の微細化への限界、Siの理論的移動度へのキャリア移動度への接近などが指摘され、MOSFETのさらなる高性能化への困難さが増している。

【0003】また、一般に半導体素子の高性能化への施策として、例えばSiよりも理論的移動度の速いGaAs半導体結晶やSiC半導体結晶などのSiとは異なる結晶を用いてより高性能化を実現する方法が検討されている。

【0004】しかしながらGaAs半導体結晶やSiC結晶では、現在多く用いられているSiデバイスの製造プロセスとの混在が困難であるため、素子開発に多大な時間と労力が必要であり、実際に大量生産を行う場合には製造ラインの完全な見直しや置き換えが要求される。

【0005】そこで、現在多く用いられているSiデバイス製造プロセス技術や製造装置のノウハウを生かしつつ、より短い開発期間、より低い投資効率で実現可能な高性能Si系半導体素子の開発が切望されている。

【0006】このために、Siの電子移動度を向上させSi-MOSFETを高性能化する研究が行われている。Siの移動度を向上させる方法のひとつとしてSi層に歪みを印加する技術が注目されている。一般に半導体層に歪みを印加すると、そのバンド構造が変化し、チャネル中のキャリアの散乱が抑制されるため電子移動度の向上が期待できる。

【0007】具体的には、Si基板上にSiよりも格子定数の大きな材料からなる混晶層、例えばGeを20%含むSiGe混晶層（以下、単にSiGe層という）を格子緩和するように厚く（数 μm ）形成し、この格子緩和SiGe層上に薄いSi層（数nm）を形成すると、SiGeとSiの格子定数の差によって歪みのかかった歪Si層が形成される。

【0008】このような歪Si層をMOSFETのチャネルに用いると、歪みのないSi層をチャネルに用いた場合の約1.76倍と大幅な電子移動度の向上を達成できることが報告されている（J. Welser, J. L. Hoyl, S. Tagkagi, and J. F. Gibbons, IEDM 94-373）。

【0009】また、Siの電子移動度を向上させる別の方法として、MOSFETのチャネル長をより短くする短チャネル化の方法がある。しかしながら短チャネル化をすすめると浮遊容量の影響が大きくなるため、期待通りに電子移動度を向上することが困難になる。

【0010】これを解決するため、Si基板上に絶縁膜を介してSi層を形成したSOI（silicon on insulator）層中にチャネル層を設ける構造が注目されている。この構造では絶縁膜により完全にアイソレーションされるので、浮遊容量の低減や素子分離が容易となり、さらなる低消費電力化、高集積化が実現すると期待されている。

【0011】そこで電子移動度の向上を期待できる歪Si層を、浮遊容量の低減や素子分離が容易となるSOI構造に適用した半導体素子構造に適用する試みがされてきた。図1を参照しこの構造について説明する。

【0012】先ず、図1Aに示すように、予めSi基板1上にSiO₂絶縁膜2と10nm～30nmのSOI層3が形成されたSOI基板を準備し、このSOI基板上にSiより格子定数の大きいGe濃度20%のSiGe層4をSOI層3よりも十分厚く形成する。

【0013】次に、図1Bに示すように、窒素雰囲気中で1100℃のアニールを1時間施すことによってSiGe層4からSOI層3に印加された引っ張り歪み（STRAIN）によって、SOI層3が塑性変形し格子緩和する。同時にSiGe層4も格子緩和する。この塑性変形によってSOI層3中には貫通転位やミスフィット転位などの転位33が発生する。

【0014】次に、格子緩和SiGe層4上に薄膜のSiを形成することによって、引っ張り歪みを有する歪Si

i層5を形成できる。

【0015】従来SOI層3中に発生する転位33の大部分は、格子緩和したSOI層3中に生じ、かつこの層中に閉じこめられるため、格子緩和SiGe層4中には伝搬しないと考えられてきた。

【0016】しかしながら、格子緩和のために窒素雰囲気中で1時間1100℃の条件でアニールを施すと1個/10 μm^2 程度の密度で、SiGe層4の表面にも伝播し、この欠陥が歪Si層5の結晶性を劣化させることが分かった。この後の歪Si層5にMOSFET等の半導体素子を形成するのであるが、歪Si層5の結晶性の劣化は半導体素子の特性を大きく劣化させる可能性がある。このことは半導体素子が微細化されるほど顕著になると予想される。

【0017】また、SiGe層4を格子緩和させるときに生じた欠陥は、この後のゲート、電極などの形成プロセスやイオンドーピング後の結晶性回復アニールなどの高温処理過程でも増幅する場合があり、さらに歪Si層5の結晶性を劣化させる可能性がある。

【0018】SOI層3に発生し格子緩和させるための転位33をSiGe表面に伝播させないためにはSiGe層4を数 μm 以上形成しなければならない。

【0019】しかしながら浮遊容量の影響を抑えるといったSOI基板構造の効果を十分に発揮するためにはSiO₂絶縁層2からチャネル層である歪Si層5までの厚みを極力抑えることが必要である。したがって数 μm のSiGe層4を形成しなければならないこの方法ではSOI基板構造の効果を十分に発揮できない。

【0020】

【発明が解決しようとする課題】上述したように、従来の方法では、SOI基板上に形成されるチャネル層となる歪Si層を備えた半導体デバイスは、欠陥を抑えるためにはSOI基板絶縁膜上の膜厚が厚くなり、SOI基板絶縁膜上の膜厚を薄く形成すれば欠陥が増幅するという問題を有している。

【0021】そこで本発明は、SOI基板絶縁層上の膜厚の薄膜化およびチャネル層となる歪層の欠陥の低減を両立でき、十分な歪みをチャネル層に印加し、より高性能な半導体素子を低コストに形成できる半導体装置、半導体基板の製造方法、半導体基板を提供することを目的とする。

【0022】

【課題を解決するための手段】上記目的を達成するために、本発明は、基板と、前記基板上に形成された絶縁膜と、前記絶縁膜上に実質的に接して形成され格子緩和したアンドープの第1の半導体層と、前記第1の半導体層上に形成されその格子定数が前記第1の半導体層の格子定数よりも小さくかつ引っ張り格子歪みを有する第2の半導体層と、前記第2の半導体層上に選択的に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲ

ート電極と、前記ゲート絶縁膜直下の前記第2の半導体層の表面に形成されたチャネル領域と、少なくとも前記第2の半導体領域に、前記チャネル領域を介して互いに離れて設けられたソース・ドレイン領域とを具備することを特徴とする半導体装置である。

【0023】また、本発明は、基板表面に絶縁膜を形成する工程と、第1の半導体層が第2の半導体層上に形成された積層層を有する積層基板を形成する工程と、前記基板と前記積層基板とを前記絶縁膜及び前記第1の半導体層を合わせるように張り合わせる工程と、前記第1の半導体層と前記第2の半導体層の少なくとも一部とが残るように前記積層基板を除去し、格子緩和された前記第1の半導体層と、引っ張り格子歪みを印加させた前記第2の半導体層との積層構造を形成する工程と、前記積層構造にトランジスタを形成することを特徴とする半導体装置の製造方法である。

【0024】また、本発明は、基板の表面に絶縁膜を形成する工程と、半導体基板の表面に第1の半導体層を形成する工程と、前記絶縁膜及び前記第1の半導体層を合わせるように前記基板と前記半導体基板を張り合わせる工程と、前記第1の半導体層が少なくとも残るように前記半導体基板を除去し前記第1の半導体層を格子緩和させる工程と、前記第1の半導体層上に第2の半導体層を積層し前記第2の半導体層に引っ張り格子歪みを印加させた積層構造を形成する工程と、前記積層構造にトランジスタを形成することを特徴とする半導体装置の製造方法である。

【0025】また、本発明は、基板と、前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された格子緩和したアンドープの第1の半導体層と、前記第1の半導体層上に形成された引っ張り格子歪みを有する第2の半導体層とを具備する半導体基板である。

【0026】本発明において前記第2の半導体層の格子定数は第1の半導体層の格子定数よりも小さいものを使用する。第1の半導体層として代表的な材料は、SiGeであり、第2の半導体層として代表的な材料はSiである。

【0027】ところで、SiとGeの共有結合半径は、それぞれ1.17および1.22である。

【0028】通常のエピタキシャル成長技術でSi基板上でSiGe層とSi層をこの順で積層すると、図2Aに示すようにSiGe層4'の格子は下のSi層3の格子に整合して縦長に変形し、SiGe層4'に図の縦方向の引っ張り歪が生じる。このようなSiGe層4'上に形成されたSi層5'は十分な引っ張り歪が加わらない。

【0029】また例えば特開平11-121377号公報にはB（ホウ素）の共有結合半径が0.88であることを利用してSiGe層にドーパント濃度の $10^{20} \sim 10^{21}$ 原子/cm³のBを添加させたものである。この技

術はSOI基板作成時の水素剥離法においてカット後のCMPを不要にするものである。図2Bはこの技術における格子整合を模式的に示したものであり、Si層にB添加SiGe層4'が積層されており、さらにSi層5'を積層する。B添加SiGe層4'はエッチングストップとして使用されるもので後で除去される。上記の文献ではSi層5'をデバイス層とすることができるとしているがこのSi層は工程中においてSiGe（B）層4'から熱拡散されるBを含有し残留圧縮歪を有することになる。このデバイス層としてのSi層5'には歪は加わらない。

【0030】また、デバイス層として歪Si層を形成するためには前述の図1A及び図1BのようにしてSi/SiGe/Siの3層構造を形成する方法によっても達成できるが、Si層5に転位33が伝播するという問題があった。本発明の半導体装置及び半導体基板では図2Cに示すように格子緩和されたSiGe層4をシリコン酸化膜上2上に実質的に接して形成し、その上にSi層5を張り合わせ法などにより形成する。このときSi層5には格子緩和SiGe層4により、図の横方向に十分な引っ張り歪が生じる。また、図2Aに示すような転位33が生じたSOI層3も持たないため、歪Si層5の結晶性を劣化させるという問題点も生じない。

【0031】また、本発明の製造方法は、SiGe層を格子緩和させるために従来技術のような高温アニール工程を用いる必要がない。このため高温アニールより貫通転位などがSOI層に導入されこれがチャネルを形成する歪Siデバイス層に到達して阻止特性を劣化させることがない。したがって本発明ではSiGe層の厚さを従来技術より薄くすることができ、絶縁層上のSiGe層、Si層の合計厚さを従来の約2/3程度にまで薄膜化することが可能になる。従ってSOI構造の効果を失わずに、欠陥のない高品質で十分な歪みを半導体デバイス層に印加できる。

【0032】本発明において、第1の半導体層の厚さは80nm以下、第2の半導体層の膜厚は10nm以上50nm以下、第1の半導体層及び第2の半導体層の合計の総厚さが100nm以下であることが望ましい。それにより欠陥のない良好な歪半導体膜を形成できる。

【0033】本発明の半導体装置及び半導体基板において、第2の半導体層はSi、第1の半導体層は、第2の半導体層側のGe組成が100%未満、第2の半導体層と反対側が0%より大であるSiGe層であるが望ましい。さらに望ましくは第2の半導体層がSiであり、第1の半導体層は少なくとも第2の半導体層側のGe組成が30atm%より大きいSiGe層であることが望ましい。

【0034】また、本発明において、第1の半導体層を傾斜組成として第1の半導体層の格子間距離を厚さ方向に不均一としてもよい。例えば第1の半導体層の、第2の半導体層側のGe組成が30atm%より大であるS

iGe層であり、第2の半導体層と反対側のGe組成が30atm%未満であることが望ましい。

【0035】

【発明の実施の形態】以下、図面を参照しながら、本発明の実施の形態（以下、実施形態という）を説明する。

【0036】（第1の実施形態）図3は本発明の第1の実施例に係る半導体基板の製造方法を説明するための半導体基板の断面図である。

【0037】先ず、図3Aに示すように、Si基板1上に予めSi酸化膜2を形成する。Si酸化膜2は、dry酸化膜、wet酸化膜等の熱酸化膜やCVD（Chemical Vapor Deposition）膜、溶液処理によるwet酸化膜など広く用いられる方法で形成できる。

【0038】次に、図3Bに示すように、別のSi基板21上に予めSiGe層4を形成する。SiGe層4は基本的にはアンドープとされる。またSiGe層4は少なくともSi基板21側のGe組成が100%未満、表面側のGe組成が0%より大きいことが必要である。さらにSiGe層4は高性能化のために30atm%より大、少なくともSi基板21側のGe組成を30atm%より大とすることが望ましい。Ge組成を30atm%より大きくすると、歪Si層における電子移動度を高くすることができるからである。一方、SiGe層4のGe組成は80atm%以下であることが望ましい。

【0039】SiGe層4は、CVD（Chemical Vapor Deposition）、MBE（Molecular Beam Epitaxy）、スパッタプロセスなどにより形成することができる。SiGe層4をCVDで形成する場合は、Siの原材料ガスとGeの原材料ガスを、例えば550℃に加熱したSi基板21上に導入して積層する。

【0040】次に、Si酸化膜2の上面2sとSiGe層4の上面4sを合わせて、基板1と21を張り合わせる。張り合わせ方法の一例としては、数百度（例えば400～700℃）程度の事前アニールと、張り合わせ面を強固にするための高温アニール（例えば、窒素中、1100℃、1時間）が施される。この工程ではSiGe層4を格子緩和させていないので転位の発生はない。

【0041】次に、図3Cに示すようにSi基板21を剥離する。このときSi基板21から受けていた圧縮歪が開放されSiGe層4が格子緩和される。

【0042】このときSi基板21の表面のSi層5をごく薄く残すようにするとSiGe層4が格子緩和されると同時に、Si層5に引っ張り歪が導入される。こうすることで転位やビットや突起のない良好な歪Si層5を形成できる。

【0043】このようにしてSi基板1と、このSi基板1上に形成されたSi酸化膜2と、このSi酸化膜2上に張り合わせにより形成された格子緩和SiGe層4

と、この格子緩和SiGe層4上に形成された歪Si層5からなる半導体基板が形成される。

【0044】Si酸化膜2と格子緩和SiGe層4とは実質的には直接接しているがその界面に0～5nmより好ましくは0～2nmの界面バッファ層を有していてもよい。この界面バッファ層は例えばSiからなるものが挙げられる。

【0045】研磨或いは剥離工程をSiGe層4までおよぼして、先ずSiGe層4を格子緩和させ、次にMBEやCVD法によってシリコン層をごく薄く再成長させることによって歪Si層5を形成することも可能である。

【0046】このように予めSiGe層4が形成されていたSi基板21を除去することによってSiGe層4を格子緩和させるには10nm以上80nm以下、このSiGe層4に形成される歪Si層5の膜厚は10以上50nm以下、SiGe層4と歪Si層5の総厚さが30以上100nm以下であることが望ましい。それにより欠陥のない良好な歪半導体膜を形成できる。

【0047】また、Si基板21の除去あるいは薄膜化は、研磨、例えば薬液や研磨剤を用いて厚みを薄くする化学研磨や化学機械研磨、また薄膜化後の厚みの均一性を改善できるPACE（plasma assisted chemical dry etching）法などを用いればよい。また事前にSiGe層4またはSi基板21に水素を注入し、その後水素を注入した面から剥離する水素剥離法やSi基板21を酸化後HF溶液などで剥離する薄膜化法などを用いてもよい。

【0048】本発明では、張り合わせ工程前のSi基板21上に、例えば50nmと十分に薄いSiGe薄膜4を形成した場合は、SiGe層4が圧縮歪みを印加された層として存在する。しかしながらこの圧縮されたSiGe層4は、張り合わせ後、Si基板21を薄膜化あるいは剥離することによってSi基板21からSiGe層4への歪み印加効果が薄れる。こうしてSiGe層4は歪みを開放することができる。その結果、本発明の目的であるSiデバイス層へ歪みを印加するストレッサーとしての機能を発揮する。

【0049】Si基板21を除去する際の位置は、Si基板21の厚み、結晶性などのプロセスの仕様によって異なる。この時、例えば溶液エッチング、あるいは水素注入後の剥離工程を用いた場合は、剥離後の表面に荒れが生じることがある。特にPACE法ではプロセス起因の欠陥が表面から導入されることもある。

【0050】これらの場合は、薄膜化後に例えば水素、アルゴン、窒素、酸素などの雰囲気中にてアニールを施して、Si基板21の結晶表面あるいは結晶内部の回復を行う工程を付加すると、より均一で高品質な薄膜プロセスが実現する。

【0051】Si基板1やSi基板21は、CZ、F

Z、MCZ基板などが用いられる。特に、Si基板21を薄膜化あるいは剥離後にその表面をそのままSiデバイス層として利用する場合は、結晶性向上のために酸素析出の少ないFZ基板の適用が効果的である。

【0052】また、Si基板21中の不純物の密度や種類を選択することによって、所望の抵抗値をSi基板21の表面に事前に作り込むことも可能である。

【0053】以上のようにして形成された所望の厚みの歪Siデバイス層5を有するSOI構造は、図1に示す半導体基板と比べて、Si酸化膜絶縁層2上の合計厚みを2/3程度にまで薄くすることが可能である。また、SiGe層4表面に現れる転位密度は、10%以上低減し、より高品質な歪Siデバイス層5を形成できる。

【0054】図12は上述の歪シリコン層5に形成されたMISFET (MOSFET) の断面図である。このMISFETは以下のようにして形成される。まず歪Si層5の表面を熱酸化して10nm程度の薄いゲート酸化膜101が形成される。次に閾値電圧調整用のたとえばn型不純物イオンがゲート酸化膜101を介してチャネル領域に注入され、n型チャネル領域が形成される。

【0055】次にゲート酸化膜101上にゲート電極102となるポリシリコン膜2を減圧CVD法により形成した後、このポリシリコン膜をRIE (Reactive Ion Etching) によりパターンニングして、ゲート電極102が形成される。

【0056】次にゲート電極102をマスクにして、リンイオンなどのn型不純物イオンを選択的に注入した後、例えば800℃程度のアニール処理を施すことにより、n型ソース領域103、n型ドレイン領域104がゲート電極102に自己整合的に形成される。このようにしてnチャネル型MISFETが形成されるが、不純物をp型に変更することによりpチャネル型MISFETも同様にして形成できる。

【0057】上記のように形成されたMISFETは、歪Si層中に形成されているので、チャネル領域における電子散乱が抑制され電子移動度が向上する。またMISFETは厚さ100nm以下の薄いSOI層に形成されているので、電子移動度の向上に加えて寄生容量も低減される。この結果駆動力に優れたMISFETを得ることができる。

【0058】(第2の実施形態) 図4は本発明の第2の実施例に係る半導体基板の製造方法を示す断面図である。

【0059】本実施例においては、Si基板21上にエピタキシャルSi層6を形成後、SiGe層4を積層し、このSiGe層4上にSi酸化膜9を形成したものが張り合わせ基板の一方として使用される。

【0060】先ず、図4Aに示すように、Si基板1上に予め第1の実施例と同様にSi酸化膜2を形成する。

【0061】次に図4Bに示すようにあらかじめ別のS

i基板21上に素子形成層となるSi層6がエピタキシャル法により形成され、このSi層6上に第1の実施例と同様にSiGe層4が形成される。SiGe層4は基本的にはアンドープとされる。またSiGe層4は少なくともSi層6側のGe組成が100%未満、Si層6とは反対側のGe組成が0%より大であることが必要である。さらにSiGe層4は、高性能化のために少なくともSi層6側、より望ましくは全体のGe組成を30atm%より大きくすることが望ましい。Ge組成を30atm%より大きくすると、歪Si層における電子移動度を高くすることができるからである。一方、SiGe層4のGe組成は80atm%以下であることが望ましい。

【0062】さらにこの後SiGe層4上にSi酸化膜9を形成する。

【0063】次に、図4Cに示すように、Si酸化膜2の上面2sとSi酸化膜9の上面9sと合わせて、2つのSi基板1及び21を実施例1と同様に張り合わせる。この結果図4Cに示すように、Si酸化膜2とSi酸化膜9が一体化してSi酸化膜12となる。張り合わせ後はSi基板12の剥離が行われる。

【0064】張り合わせ後に、水素注入によって剥離を行う場合はSi層6とSi基板21の界面もしくは、Si層6側に水素を注入後、Si基板21が剥離される。このようにすることでSi基板21から受けていた圧縮歪が開放されSiGe層4が格子緩和されると同時に素子形成層となるSi層6に歪が導入される。

【0065】このようにして、Si基板1と、このSi基板1上に形成されたSi酸化膜12と、このSi酸化膜12上に張り合わせにより形成された格子緩和SiGe層4と、この格子緩和SiGe層4上に形成された歪Si層6からなる半導体基板が形成される。

【0066】このようにして形成された歪Si層6は、CZ基板中に含まれる酸素析出や不純物が少なく、所望の抵抗値を有する理想的な薄膜層が実現する。

【0067】Si酸化膜2と格子緩和SiGe層4とは実質的には直接接しているがその界面に0~5nmより好ましくは0~2nmの界面バッファ層を有していてもよい。この界面バッファ層は例えばSiからなるものが挙げられる。

【0068】第2の実施例では、予め素子形成層となるSi層6を所望の電気特性を示すように形成できるので再成長過程を必要としない。また、SiGe層4を形成した後に、さらにシリコン酸化膜9を形成し、酸化膜2と9同士を張り合わせすることによって、よりSiGe層4に与える影響を低減できる。

【0069】また、清浄雰囲気中にてプロセスが連続に進行する場合以外で、例えば大気中を介してプロセスを行う場合は、SiGe層4の上に酸化膜が形成されている場合が想定され、意図せずに図4B中のシリコン酸化

膜9の形成されることもある。

【0070】以後、第1の実施例と同様に図12に示すMISFETが歪Si層に形成される。第2の実施例においても駆動力に優れたMISFETを得ることができる。

【0071】(第3の実施形態)図5は本発明の第3の実施例に係る半導体基板の製造方法を段階的に示す半導体基板の断面図である。

【0072】第3の実施例は、図5Cに示すSiGe層7が膜厚方向に組成の分布を有することである。即ち図6に示すようにSiGe層7中のGe濃度がSi基板1側にて低濃度、歪Si層8側にて高濃度になるように結晶成長が行われる。これによりSiGe層7の格子間距離を厚さ方向に不均一となる。

【0073】このときSi基板1側のGe組成が0%より高く、Si層8側のGe組成が100%未満であることが必要である。具体的にはSi基板1側のGe濃度が0atm%より高く30atm%以下で、歪Si層8側のGe濃度が30atm%より大きく100atm%未満、より好ましくは80atm%以下であるようにSiGe層7中のGe組成を制御することが望ましい。

【0074】このようにSiGe層7の組成を制御することによって、Si酸化膜2とSiGe層7の界面から発生した転位はSiGe層7中をループが形成するように進行し、SiGe層7と歪Si層8の界面には届かない。よってより良好な歪Si層8を提供できる。

【0075】以下半導体基板の製造方法を説明する。

【0076】まず、図5Aに示すように、Si基板1上に第1の実施形態と同様に予めSi酸化膜2を形成する。

【0077】次に、図5B及び図6に示すように、Si基板21上にSiGe層7を形成する。このときのGe組成は、上記したようSi基板21からGe組成が徐々に少なくなるように制御した。

【0078】次に、Si酸化膜2の上面2sとSiGe層7の上面7sを合わせるように、2つのSi基板と21を第1の実施例と同様に張り合わせる。

【0079】次に、第1の実施例と同様にSi基板21を剥離し、SiGe層7を格子緩和させる。

【0080】このときSi基板21の表面のSi層をごく薄く残すようにするとSiGe層4が格子緩和されると同時に、Si層8に引っ張り歪が導入される。こうすることで転位やビットや突起のない良好な歪Si層8を形成できる。

【0081】このようにして、Si基板1と、このSi基板1上に形成されたSi酸化膜2と、このSi酸化膜2上に張り合わせにより形成されGeの組成が徐々に変化した格子緩和SiGe層7と、この格子緩和SiGe層7上に形成された歪Si層8からなる半導体基板が形成される。

【0082】Si酸化膜2と格子緩和SiGe層7とは実質的には直接接しているがその界面に0~5nmより好ましくは0~2nmの界面バッファ層を有していてもよい。この界面バッファ層は例えばSiからなるものが挙げられる。

【0083】研磨或いは剥離工程をSiGe層7までおよぼして、まずSiGe層7を格子緩和させ、次にMBEやCVD法によってシリコン層をごく薄く再成長させることによって歪Si層8を形成することも可能である。

【0084】また、本実施例では、SiGe層7中のGe濃度は、Si酸化膜2に近いほど低いいため、Si酸化膜2とSiGe層7の界面で発生した欠陥はSi酸化膜2側に閉じこめられて、張り合わせ後のSiGe層7の歪Si層8との界面は格子緩和したSiGe層が得られる。それにより良好に緩和したSiGe層7の上に、引っ張り歪みを有する歪Si層8が形成される。

【0085】また、図中の各層の厚み、アニール温度、アニール時間、張り合わせ後に剥離あるいは研磨で残すSi基板層21の厚みなどの差異によって、緩和の程度が異なり、プロセス条件によっては、圧縮比歪みを有するあるいは歪みの無いSiデバイス層を形成することも可能である。

【0086】以後、第1の実施例と同様に図12に示すMISFETが歪Si層に形成される。第3の実施例においても駆動力に優れたMISFETを得ることができる。

【0087】(第4の実施形態)図7は本発明の第4の実施例に係る半導体基板の製造方法を示す断面図である。

【0088】第4の実施例では、図7Bに示すSi基板21上のSiGe層7中のGe濃度が図8に示すように膜厚方向に濃度勾配を有し、Ge濃度の最も高い部分が界面ではなくSiGe層7の膜中に位置する。その後、Ge濃度勾配の高い部分が表面となるように剥離あるいは薄膜化工程が施され、図7B及び図8に点線で示される面が薄膜化されたSiGe層7の上面7sとなる。このようにSiGe層7の組成を制御した基板を用いることによって得られた図7Cに示される半導体基板はSi酸化膜2とSiGe層7'の界面から発生した転位はSiGe層7中をループが形成するように進行し、SiGe層7'と歪Si層8の界面には届かない。よってより良好な歪Si層8を提供できる。

【0089】さらに、張り合わせ前のSiGe層7の結晶成長が、Si基板21上に低Ge濃度から開始するので、ミスマッチによる欠陥が導入され難く、良質な結晶性を有するSiGe層7'が得られる。

【0090】以下、半導体基板の製造方法を説明する。

【0091】まず、図7Aに示すように、Si基板1上に予め第1の実施形態と同様にSi酸化膜2を形成す

る。

【0092】次に、図7B及び図8に示すように、Si基板21上に予めSiGe層7をGe組成比が膜方向に0atm%→35atm%→0atm%となるように形成する。続いてSiGe層7のGe組成比が最も高い中央部まで薄膜化し、SiGe層7'とする。この結果SiGe層7'の上面7sにはGe組成比35atm%の面が露出される。

【0093】次に、Si酸化膜2の上面2sとSiGe層7'の上面7とを合わせるように2つのSi基板1と21を第1の実施例と同様に張り合わせる。続いて、第1の実施例と同様にSi基板21を除去し、SiGe層7'を格子緩和させる。このときSi基板21の表面のSi層をごく薄く残すようにするとSiGe層4が格子緩和されると同時に、Si層8に引っ張り歪が導入される。こうすることで転位やビットや突起のない良好な歪Si層8を形成できる。

【0094】このようにして、Si基板1と、このSi基板1上に形成されたSi酸化膜2と、このSi酸化膜2上に張り合わせにより形成されGeの組成が徐々に変化した格子緩和SiGe層7と、この格子緩和SiGe層7'上に形成された歪Si層8からなる半導体基板が形成される。これにより第3の実施例と同様な効果を得ることができる。

【0095】Si酸化膜2と格子緩和SiGe層7'とは実質的には直接接しているがその界面に0~5nmより好ましくは0~2nmの界面バッファ層を有してもよい。この界面バッファ層は例えばSiからなるものが挙げられる。

【0096】研磨或いは剥離工程をSiGe層7までおよぼして、先ずSiGe層7を格子緩和させ、次にMBEやCVD法によってシリコン層をごく薄く再成長させることによって歪Si層8を形成することも可能である。

【0097】以後第1の実施例と同様に図12に示すMISFETが歪Si層8に形成される。第4の実施例においても駆動力に優れたMISFETを得ることができる。

【0098】(第5の実施形態) 図9は本発明の第5の実施例に係る半導体基板の製造方法を示す半導体基板の断面図である。

【0099】第5の実施例では、Si基板21上に、転位が導入される格子緩和SiGe層40と格子緩和したSiGe層11からなるSiGe層を形成する。SiGe層40は、十分に厚く、かつGe濃度が結晶成長と共に変化する層であって、いわゆるバッファ層としての役割を果たす。例えば、SiGeバッファ層40はSi基板21上でのGe濃度が0atm%であり、結晶成長と共にGe濃度が増加し、2μmの厚みにてGe濃度が30atm%となる傾斜組成を有する構造とする。

【0100】以下半導体基板の製造方法を説明する。

【0101】先ず、図9Aに示すように、Si基板1上に第1の実施例と同様に予めSi酸化膜2を形成する。

【0102】次に、図9Bに示すように、別のSi基板21上に上記したようなGe組成のSiGeバッファ層40を十分に厚く形成し格子緩和させる。このときSiGeバッファ層40中には転位33が発生するが十分に厚いのでその上に形成される半導体層に対し影響を与えない。次に、この格子緩和したSiGeバッファ層40上に格子緩和した結晶状態の良好なSiGe層11を形成する。SiGeの各層の成長方法は第1の実施例に順ずる。

【0103】次に、Si酸化膜2の上面2sと格子緩和したSiGe層11の上面11sを合わせるように第1の実施例と同様に2つのSi基板1と21を張り合わせる。

【0104】次に、Si基板21とSiGeバッファ層40を研磨あるいは水素注入法などにより除去する。次に、格子緩和したSiGe層11上に歪Si層8を形成する。(図9C)このようにして、Si基板1と、このSi基板1上に形成されたSi酸化膜2と、このSi酸化膜2上に張り合わせにより形成された格子緩和SiGe層11と、この格子緩和SiGe層11上に形成された歪Si層8からなる半導体基板が形成される。

【0105】SiGeバッファ層40は、SiGeバッファ層40中のSi基板21側に格子ミスマッチで生じる貫通転位、ミスフィット転位などの欠陥が閉じこめられる。その結果SiGeバッファ層40の表面側では、転位が無く格子緩和したSiGe層が実現される。

【0106】このSiGeバッファ層40の表面側Ge濃度は、Siデバイス層に所望の歪みが印加されるような濃度であって、典型的には30atm%より大きく80atm%以下であり、膜厚方向のGe濃度分布が均一である必要はない。このSiGe層40の形成に引き続いて、SiGeバッファ層40の表面側組成と同等の組成を有するSiGe層11を成長させることで、転位などの欠陥密度を低減した高品質緩和SiGe層11が形成される。

【0107】ここで課題となるのはバッファ層として数μmのSiGe層40の結晶成長には原材料と成長時間がかかりプロセスコストが要求されることにある。前述のように張り合わせ後の薄膜化プロセスによって歪チャネル層と緩和SiGe層の積層構造が実現できる。しかしながら張り合わせ前に所望の厚さのSiGe層が得られるように例えば0.3μm程度の深さカット面で40c(図9B)に水素注入を行い、貼りあわせ後剥離を行うようにしてもよい。このようにすれば剥離後に残る格子緩和SiGeバッファ層を再利用できるためプロセスの簡略化、半導体資源の節約が可能で、ひいては基板製造コストの低減が実現できる。

【0108】以後第1の実施例と同様に図12に示すMISFETが歪Si層8に形成される。第5の実施例においても駆動力に優れたMISFETを得ることができる。

【0109】(第6の実施形態)図10は本発明の第6の実施例に係る半導体基板の製造方法を示す半導体基板の断面図である。

【0110】第6の実施例では図10Bで示すSi基板21上に、転位を導入される格子緩和SiGeバッファ層40、格子緩和SiGeバッファ層40上に格子緩和SiGe層11、歪Si層10、別の格子緩和SiGe層13を連続して形成後に、張り合わせプロセスを行う。

【0111】まず、図10Aに示すように、Si基板1上に第1の実施例と同様に予めSi酸化膜2を形成する。

【0112】次に、図10Bに示すように、別のSi基板21上に第5の実施例と同様に予めSiGeバッファ層40を厚く形成し格子緩和させる。この格子緩和したSiGeバッファ層40上に、格子緩和SiGe層11、歪Si層10、格子緩和SiGe層13を続けて成長する。

【0113】次に、図6(c)に示すように、Si酸化膜2の上面2sと格子緩和SiGe層13の上面13sを合わせるようにSi基板1と21を第1の実施例と同様に張り合わせる。

【0114】次に、歪Si層10が表面に出るように研磨あるいは水素注入法によりSi基板21、格子緩和SiGeバッファ層40、格子緩和SiGe層11を除去する。(図10C)このようにして、Si基板1と、このSi基板1上に形成されたSi酸化膜2と、このSi酸化膜2上に張り合わせにより形成され格子緩和SiGe層13と、この格子緩和SiGe層13上に形成された歪Si層10からなる半導体基板が形成される。

【0115】本実施例ではSi基板21上に形成された格子緩和SiGe層11上のSi層10は自ずと引っ張り歪みを受けており、さらにその上のSiGe層13は緩和した層となる。

【0116】格子緩和SiGe層13は貼り合わせ後の絶縁層2とSiGe層13からの界面から発生する欠陥を低減するために、第3あるいは第4の実施例のように、Ge組成に勾配をつけてもよい。

【0117】また、格子緩和SiGe層13の上には、第2の実施例のように、予め絶縁層9を形成してから張り合わせを行ってもよい。

【0118】第6の実施例では、緩和率の高いSiGe層13の上に歪みの印加されたSi層10を直接形成することが出来る上、格子緩和SiGe層13中のGe濃度を30atm%より大きく100atm%未満の間で任意に選ぶことが可能であり、更には、絶縁層2上のS

iGe層13と歪Siデバイス層10の厚みをそれぞれ10nm以下にすることも可能である。

【0119】その結果、絶縁膜2上の合計厚みを40nm以下に抑えることが容易でありSOI効果を十分に達成し、かつ十分な歪みをSiデバイス層10に印加できる。

【0120】以後第1の実施例と同様に第6の実施例においても駆動力に優れたMISFETを得ることができる。

【0121】(第7の実施形態)図11は本発明の第7の実施例に係る半導体基板の製造方法を示す半導体基板の断面図である。

【0122】本実施例は、貼り合わせ基板の一方としてSi基板21の替わりにSiGe基板31を用い、SiGe基板31上に再成長した格子緩和SiGe層11と歪Si層10と格子緩和SiGe層13とSi酸化膜9を形成した構造で説明する。

【0123】まず、図11Aに示すように、Si基板1上に第1の実施例と同様に予めSi酸化膜2を形成する。

【0124】次に、図11Bに示すように、SiGe基板31上に第1の実施例と同様に予めSiGe層11を形成し、このSiGe層11上に、Si層10、SiGe層13(Si層10側のGe組成が30atm%より大)、Si酸化膜9を続けて成長する。

【0125】次に、Si酸化膜2の上面2sとSi酸化膜9の上面9sを合わせるようにSi基板1とSiGe基板31を第1の実施例と同様に張り合わせる。次に、Si層10が表面に出るように研磨あるいは水素注入法などによりSiGe基板31、SiGe層11を除去する。

【0126】このようにして、図11Cに示すようにSi基板1と、このSi基板1上に形成されたSi酸化膜12と、このSi酸化膜12上に張り合わせにより形成され格子緩和SiGe層13と、この格子緩和SiGe層13上に形成された歪Si層10からなる半導体基板が形成される。

【0127】この場合貼り合わせのためにはSi酸化膜2あるいはSi酸化膜9の少なくとも一方があればよい。また、張り合わせ工程や薄膜化工程あるいは剥離工程中にSiGe層13と絶縁層9の接合面から発生する恐れのある欠陥を閉じてめる効果を得るには、絶縁層に接するSiGe層13中のGe濃度を不均一にするとよい。

【0128】本実施例では、基板31がストレッサーとなる層11と同じSiGe組成を持つ場合を示したが、基板上に形成する層中で組成制御を行って、所望の濃度に設定することも可能である。

【0129】以後第1の実施例と同様に図12に示すMISFETが歪Si層10に形成される。第6の実施例

においても、駆動力に優れたMISFETを得ることができる。

【0130】また、上記第1乃至第7の実施例では、歪みを印加する層（第1の半導体層）がSiGe層、デバイス層（第2の半導体層）がSi層の場合について説明したが、第2の半導体層に引っ張り歪が生じるよう、第2の半導体層の格子定数が第1の半導体層の格子定数よりも小さくなるよう格子定数の異なる2層の組み合わせで有れば、どのような結晶を選んで良く、具体的には、Si、GaAs、SiC、GaN、GaAlAs、InGaP、InGaPAs、Al₂O₃、BN、BNC、C、高濃度に不純物添加されたSi（不純物B）、Si（不純物P）、Si（不純物As）、SiN_x、ZnSeなどの物質の内、2種類の物質の組み合わせにて、本発明の効果が得られる。但し第1の半導体層中に含有されるBの濃度は 1×10^{19} atom%未満であることが望ましい。

【0131】上記第1乃至第7の実施例では、基板1、21、31としては、Si基板、SiGe基板を用いたが、GaAs、ZnSe、SiC、Ge、サファイア、有機ガラス、無機ガラス、プラスチックのいずれかであっても良い。

【0132】上記第1乃至第7の実施例では絶縁膜2、9としてSi酸化膜を使用したか、シリコン窒化膜、シリコン窒化膜、などの他の絶縁膜であっても良い。

【0133】

【発明の効果】以上、本発明によれば、従来困難であった、ストレッサとしての歪み層から伝搬する欠陥によるデバイス層の結晶性劣化が低減されると共に、SOI構造上の絶縁層上の合計厚みをより薄くすることが可能である。従って、素子特性の劣化を抑え、低消費電力化、高集積化が可能となり、半導体素子の高性能化が実現できる。

【図面の簡単な説明】

【図1】 従来の半導体基板の製造方法を説明するための基板断面図。

【図2】 本発明及び従来の半導体基板の製造方法を説明するための基板断面図。

*

*【図3】 本発明の半導体基板の製造方法を説明するための基板断面図。

【図4】 本発明の半導体基板の製造方法を説明するための基板断面図。

【図5】 本発明の半導体基板の製造方法を説明するための基板断面図。

【図6】 本発明の半導体基板におけるSiGe層のGe組成を示す図。

【図7】 本発明の半導体基板の製造方法を説明するための基板断面図。

【図8】 本発明の半導体基板におけるSiGe層のGe組成を示す図。

【図9】 本発明の半導体基板の製造方法を説明するための基板断面図。

【図10】 本発明の半導体基板の製造方法を説明するための基板断面図。

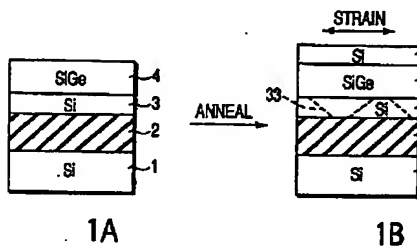
【図11】 本発明の半導体基板の製造方法を説明するための基板断面図。

【図12】 本発明の半導体装置を説明するための素子断面図。

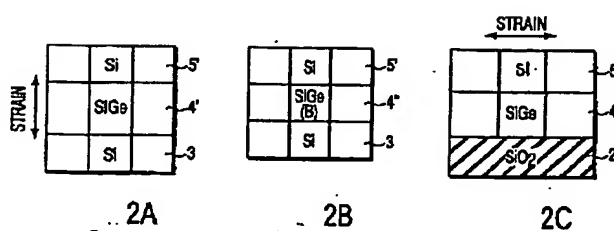
【符号の説明】

- 1・・・Si基板
- 2・・・絶縁層（Si酸化膜層）
- 3・・・SOI層
- 4・・・SiGe層
- 5・・・歪Si層
- 6・・・歪エピタキシャルSi層
- 7・・・傾斜組成SiGe層
- 8・・・再成長で形成する歪Si層
- 9・・・絶縁層
- 10・・・歪Si層
- 11・・・SiGe層
- 12・・・絶縁層
- 13・・・SiGe層
- 21・・・Si基板
- 31・・・SiGe基板
- 33・・・転位

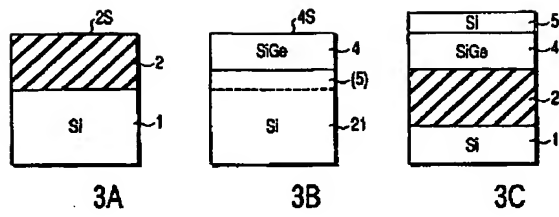
【図1】



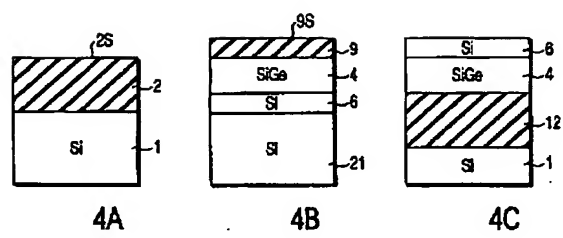
【図2】



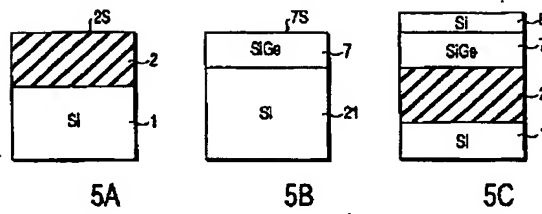
【図3】



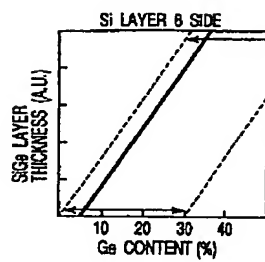
【図4】



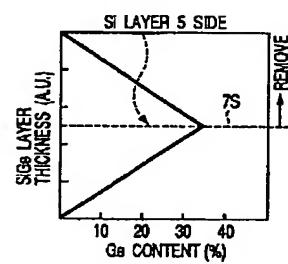
【図5】



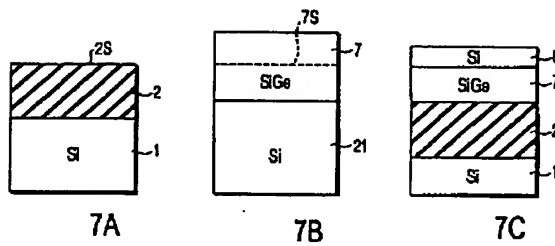
【図6】



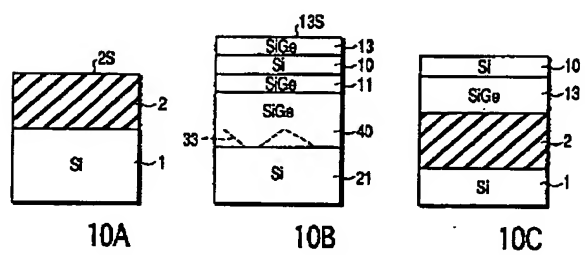
【図8】



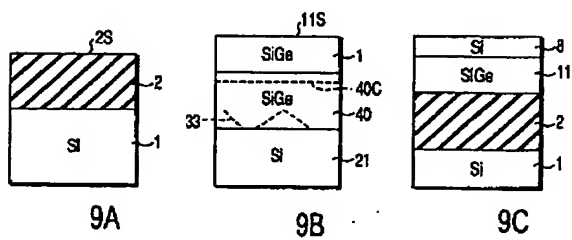
【図7】



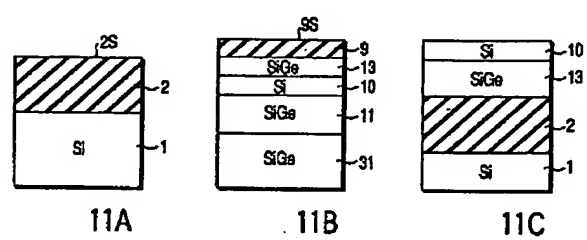
【図10】



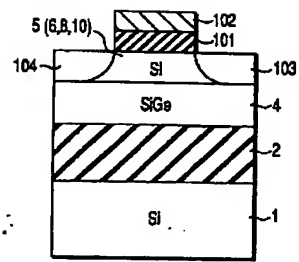
【図9】



【図11】



【図12】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-217430

(43)Date of publication of application : 10.08.2001

(51)Int.Cl.

H01L 29/786

H01L 27/12

H01L 21/336

(21)Application number : 2000-357158 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.11.2000 (72)Inventor : USUDA KOJI
TAKAGI SHINICHI

(30)Priority

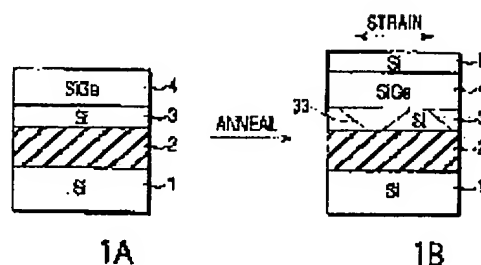
Priority number : 11336059 Priority date : 26.11.1999 Priority country : JP

(54) METHOD OF MANUFACTURING SEMICONDUCTOR SUBSTRATE AND
SEMICONDUCTOR SUBSTRATE MANUFACTURED THEREBY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a substrate and its forming method wherein, in a strain layer/strain-applied crystal layer structure, the crystallinity deterioration of the strain layer due to crystal defects caused in the strain-applied crystal layer structure is reduced and the strain layer/strain-applied crystal layer structure is formed with a thin film on an insulation layer.

SOLUTION: An insulation layer on a Si substrate and an SiGe layer on another Si substrate are bonded, using the semiconductor laminating technique, and the Si substrate at the SiGe layer side is removed by polishing, etc.



LEGAL STATUS

[Date of request for examination] 23.07.2002

[Date of sending the examiner's decision of
rejection]

[Kind of final disposal of application other
than the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3607194

[Date of registration] 15.10.2004

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A substrate, the insulator layer formed on said substrate, and the 1st semi-conductor layer of undoping which touched substantially on said insulator layer, and formed and carried out grid relaxation, The 2nd semi-conductor layer in which it is formed on said 1st semi-conductor layer, and the lattice constant has hauling grid distortion smaller than the lattice constant of said 1st semi-conductor layer, The gate dielectric film selectively formed on said 2nd semi-conductor layer, and the gate electrode formed on said gate dielectric film, The semiconductor device characterized by providing the channel field formed in the front face of said 2nd semi-conductor layer directly under said gate dielectric film, and the source drain field which separated to said 2nd semiconductor region mutually, and was established in it through said channel field at least.

[Claim 2] Said 1st semi-conductor layer is a semiconductor device according to claim 1 said whose 2nd semi-conductor layer germanium presentation by the side of said 2nd semi-conductor layer is the SiGe layer which is size from 30atm(s)%, and is Si at least.

[Claim 3] Said 1st semi-conductor layer is a semiconductor device according to claim 1 said whose 2nd semi-conductor layer it is a SiGe layer and germanium presentation by the side of said substrate is less than [30atm%], germanium presentation by the side of said 2nd semi-conductor layer has the dip presentation it is [presentation] size from 30atm(s)%, and is Si.

[Claim 4] The process which forms an insulator layer in a substrate front face, and the process which forms the laminated circuit board which has the laminating layer by which the 1st semi-conductor layer was formed on the 2nd semi-conductor layer, The process which makes said substrate and said laminated circuit board rival so that said insulator layer and said 1st semi-conductor layer may be doubled, Said 1st semi-conductor layer by which removed said laminated circuit board and grid relaxation was carried out so that a part of said 1st semi-conductor layer and said 2nd semi-conductor layer [at least] might remain, The manufacture approach of the process which forms a laminated structure with said 2nd semi-conductor layer to which hauling grid distortion was made to impress, and the semiconductor device characterized by forming a transistor in said laminated structure.

[Claim 5] Said process which forms the laminated circuit board which has the laminating layer by which the 1st semi-conductor layer was formed on the 2nd semi-conductor layer Furthermore, said process made to rival so that said insulator layer and said 2nd semi-conductor layer may be doubled said substrate and said laminated circuit board by having the process which carries out the laminating of the insulating layer on said 1st semi-conductor layer The manufacture approach of the semiconductor device according to claim 4 characterized by being the process made to rival so that the insulator layer formed on said substrate and the insulator layer formed on said 1st semi-conductor layer may be doubled.

[Claim 6] The process which forms an insulator layer on the surface of a substrate, and the process which forms the 1st semi-conductor layer in the front face of a semi-conductor substrate, The process which makes said substrate and said semi-conductor substrate rival so that said insulator layer and said 1st semi-conductor layer may be doubled, The process which said semi-conductor substrate is removed [process] and carries out grid relaxation of said 1st semi-conductor layer so that said 1st semi-conductor layer may remain at least, The manufacture approach of the process which forms the laminated structure to which carried out the laminating of the 2nd semi-conductor

layer on said 1st semi-conductor layer, pulled in said 2nd semi-conductor layer, and grid distortion was made to impress, and the semiconductor device characterized by forming a transistor in said laminated structure.

[Claim 7] Said process which forms the laminated circuit board which has the laminating layer by which the 1st semi-conductor layer was formed on the 2nd semi-conductor layer Furthermore, said process made to rival so that said insulator layer and said 1st semi-conductor layer may be doubled said substrate and said laminated circuit board by having the process which carries out the laminating of the insulating layer on said 1st semi-conductor layer The manufacture approach of the semiconductor device according to claim 7 characterized by being the process made to rival so that the insulator layer formed on said substrate and the insulator layer formed on said 1st semi-conductor layer may be doubled.

[Claim 8] The process which said 1st semi-conductor layer is a SiGe layer, and said 2nd semi-conductor layer is an Si layer, and forms said 1st semi-conductor layer germanium presentation of the side doubled with said insulating layer of said 1st semi-conductor layer at 30% or less The manufacture approach of the semiconductor device of claim 7 including the process which controls the presentation of the 1st semi-conductor layer so that germanium presentation by the side of the field where said 2nd semi-conductor layer of said 1st semi-conductor layer touches has the dip presentation it is [presentation] size from 30%.

[Claim 9] The semi-conductor substrate possessing a substrate, the insulator layer formed on said substrate, the 1st semi-conductor layer of undoping which was formed on said insulator layer and which carried out grid relaxation, and the 2nd [which was formed on said 1st semi-conductor layer] semi-conductor layer which pulls and has grid distortion.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the manufacture approach of a semiconductor device and a semiconductor device, a semi-conductor substrate, the semiconductor device that especially makes a distortion Si layer an active region, and a semiconductor device, and a semi-conductor substrate.

[0002]

[Description of the Prior Art] The engine performance of Si semiconductor device and a division MOSFET transistor is improving with the advance of a large-scale integrated circuit (LSI) every year. However, access to the limitation to detailed-izing of a lithography technique and the carrier mobility to the theoretical mobility of Si etc. is pointed out in recent years, and the difficulty to the further high-performance-izing of MOSFET is increasing.

[0003] Moreover, generally the method of realizing high performance-ization more using a different crystal from Si, such as a GaAs semiconducting crystal with theoretical mobility quicker than Si and a SiC semiconducting crystal, is examined as a measure to high-performance-izing of a semiconductor device.

[0004] However, since mixture with the manufacture process of Si device used now is difficult, great time amount and a great effort are required for component development, and a GaAs semiconducting crystal and a SiC crystal require perfect reexamination and perfect replacement of a production line, when mass-producing actually. [many]

[0005] then, current -- it is anxious for development of a high performance Si system semiconductor device realizable at a shorter development cycle and lower capitalization effectiveness, employing Si device manufacture process technique used and the know how of a manufacturing installation efficiently. [many]

[0006] For this reason, research which the electron mobility of Si is raised and high-performance-izes Si-MOSFET is done. The technique of impressing distortion to Si layer as one of the approaches of raising the mobility of Si attracts attention. If distortion is generally impressed to a semi-conductor layer, the band structure changes, and since dispersion of the carrier in a channel is controlled, improvement in electron mobility is expectable.

[0007] If it forms thickly (several micrometers) so that grid relaxation of the mixed-crystal layer which consists of an ingredient with a bigger lattice constant than Si on Si substrate, for example, the SiGe mixed-crystal layer which contains germanium 20%, (only henceforth a SiGe layer) may be carried out, and thin Si layer (several nm) is specifically formed on this grid relaxation SiGe layer, the distorted Si layer which distortion required according to the difference of the lattice constant of SiGe and Si will be formed.

[0008] If such a distorted Si layer is used for the channel of MOSFET, it is reported that about 1.76 times at the time of using Si layer without distortion for a channel and improvement in large electron mobility can be attained (J. Welser, J.L.Hoyl, S.Tagkagi, and J.F.Gibbons, IEDM 94-373).

[0009] Moreover, there is the approach of the short channelization which shortens channel length of MOSFET more as an option which raises the electron mobility of Si. However, since the effect of stray capacity will become large if short channelization is recommended, it becomes difficult to improve electron mobility as expected.

[0010] In order to solve this, the structure of preparing a channel layer into the SOI (silicon on insulator) layer which formed Si layer through the insulator layer on Si substrate attracts attention. Since an isolation is thoroughly carried out by the insulator layer with this structure, reduction and isolation of stray capacity become easy and it is expected that further low-power-izing and high integration are realized.

[0011] Then, the attempt applied to the semiconductor device structure which applied the distorted Si layer which can expect improvement in electron mobility to the SOI structure where reduction and isolation of stray capacity become easy has been carried out. This structure is explained with reference to drawing 1.

[0012] First, as shown in drawing 1 A, the SOI substrate with which SiO₂ insulator layer 2 and the 10nm - 30nm SOI layer 3 were beforehand formed on the Si substrate 1 is prepared, and the SiGe layer 4 of 20% of germanium concentration with a larger lattice constant than Si is formed on this SOI substrate sufficiently more thickly than the SOI layer 3.

[0013] Next, as shown in drawing 1 B, the SOI layer 3 deforms plastically and carries out grid relaxation from the SiGe layer 4 by hauling distortion (STRAIN) impressed to the SOI layer 3 by giving 1100-degree C annealing in nitrogen-gas-atmosphere mind for 1 hour. The SiGe layer 4 also carries out grid relaxation simultaneously. In the SOI layer 3, the rearrangements 33, such as a penetration rearrangement and a misfit rearrangement, occur by this plastic deformation.

[0014] Next, the distorted Si layer 5 which has hauling distortion can be formed by forming Si of a thin film on the grid relaxation SiGe layer 4.

[0015] It has been thought that it is not spread in the grid relaxation SiGe layer 4 since it is generated in the SOI layer 3 which carried out grid relaxation and most rearrangements 33 conventionally generated in the SOI layer 3 are shut up into the layer of a parenthesis.

[0016] However, when annealing was given on 1100-degree C conditions in nitrogen-gas-atmosphere mind for 1 hour for grid relaxation, it turned out that it spreads also on the front face of the SiGe layer 4, and this defect degrades the crystallinity of the distorted Si layer 5 by one piece / 10-micrometer about two consistency. Although semiconductor devices, such as MOSFET, are formed in the next distorted Si layer 5, crystalline degradation of the distorted Si layer 5 may degrade the property of a semiconductor device greatly. This is expected to become so remarkable that a semiconductor device made detailed.

[0017] Moreover, the defect produced when carrying out grid relaxation of the SiGe layer 4 may be amplified also in high-temperature-processing processes, such as formation processes, such as the next gate and an electrode, and crystalline recovery annealing after ion doping, and may degrade the crystallinity of the distorted Si layer 5 further.

[0018] In order to generate in the SOI layer 3 and not to make a SiGe front face spread the rearrangement 33 for carrying out grid relaxation, the SiGe layer 4 several micrometers or more must be formed.

[0019] However, in order to fully demonstrate the effectiveness of the SOI substrate structure of suppressing the effect of stray capacity, it is required to stop the thickness from SiO₂ insulating layer 2 to the distorted Si layer 5 which is a channel layer as much as possible. Therefore, by this approach that must form the several micrometers SiGe layer 4, effectiveness of SOI substrate structure cannot be demonstrated enough.

[0020]

[Problem(s) to be Solved by the Invention] As mentioned above, if the thickness on a SOI substrate insulator layer becomes thick and the semiconductor device equipped with the distorted Si layer used as the channel layer formed on a SOI substrate forms the thickness on a SOI substrate insulator layer thinly in order to suppress a defect, by the conventional approach, it has the problem that a defect amplifies.

[0021] Then, this invention is compatible in reduction of the defect of the distorted layer used as thin-film-izing and the channel layer of the thickness on a SOI substrate insulating layer, impresses sufficient distortion to a channel layer, and aims at offering the manufacture approach of the semiconductor device which can form a more highly efficient semiconductor device in low cost, and a semi-conductor substrate, and a semi-conductor substrate.

[0022]

[Means for Solving the Problem] The insulator layer by which this invention was formed on the substrate and said substrate in order to attain the above-mentioned object, The 1st semi-conductor layer of undoping which touched substantially on said insulator layer, and formed and carried out grid relaxation, The 2nd semi-conductor layer in which it is formed on said 1st semi-conductor layer, and the lattice constant has hauling grid distortion smaller than the lattice constant of said 1st semi-conductor layer, The gate dielectric film selectively formed on said 2nd semi-conductor layer, and the gate electrode formed on said gate dielectric film, It is the semiconductor device characterized by providing the channel field formed in the front face of said 2nd semi-conductor layer directly under said gate dielectric film, and the source drain field which separated to said 2nd semiconductor region mutually, and was established in it through said channel field at least.

[0023] Moreover, the process at which this invention forms an insulator layer in a substrate front face and the process which forms the laminated circuit board which has the laminating layer by which the 1st semi-conductor layer was formed on the 2nd semi-conductor layer, The process which makes said substrate and said laminated circuit board rival so that said insulator layer and said 1st semi-conductor layer may be doubled, Said 1st semi-conductor layer by which removed said laminated circuit board and grid relaxation was carried out so that a part of said 1st semi-conductor layer and said 2nd semi-conductor layer [at least] might remain, It is the manufacture approach of the process which forms a laminated structure with said 2nd semi-conductor layer to which hauling grid distortion was made to impress, and the semiconductor device characterized by forming a transistor in said laminated structure.

[0024] Moreover, the process in which this invention forms an insulator layer on the surface of a substrate and the process which forms the 1st semi-conductor layer in the front face of a semiconductor substrate, The process which makes said substrate and said semi-conductor substrate rival so that said insulator layer and said 1st semi-conductor layer may be doubled, The process which said semi-conductor substrate is removed [process] and carries out grid relaxation of said 1st semi-conductor layer so that said 1st semi-conductor layer may remain at least, It is the manufacture approach of the process which forms the laminated structure to which carried out the laminating of the 2nd semi-conductor layer on said 1st semi-conductor layer, pulled in said 2nd semi-conductor layer, and grid distortion was made to impress, and the semiconductor device characterized by forming a transistor in said laminated structure.

[0025] Moreover, this invention is a semi-conductor substrate possessing a substrate, the insulator layer formed on said substrate, the 1st semi-conductor layer of undoping which was formed on said insulator layer and which carried out grid relaxation, and the 2nd [which was formed on said 1st semi-conductor layer] semi-conductor layer which pulls and has grid distortion.

[0026] In this invention, the lattice constant of said 2nd semi-conductor layer uses a thing smaller than the lattice constant of the 1st semi-conductor layer. An ingredient typical as 1st semi-conductor layer is SiGe, and an ingredient typical as 2nd semi-conductor layer is Si.

[0027] By the way, the covalent radii of Si and germanium are 1.17 and 1.22, respectively.

[0028] If the laminating of a SiGe layer and the Si layer is carried out in this order on Si substrate with the usual epitaxial growth technique, as shown in drawing 2 A, the grid of SiGe layer 4' will be adjusted in the grid of the lower Si layer 3, and will deform longwise, and the hauling distortion of the lengthwise direction of drawing will produce it in SiGe layer 4'. As for Si layer 5' formed on such SiGe layer 4', sufficient hauling distortion is not added.

[0029] Moreover, for example, JP,11-121377,A is made to add B of the 1020 - 1021 atom / cm³ of dopant concentration in a SiGe layer using the covalent radius of B (boron) being 0.88. This technique makes CMP after a cut unnecessary in the hydrogen exfoliating method of SOI substrate creation time. The lattice matching in this technique is shown typically, the laminating of B addition SiGe layer 4" is carried out to Si layer, and drawing 2 B carries out the laminating of Si layer 5' further. B addition SiGe layer 4" is used as an etching stopper, and is removed later. By the above-mentioned reference, although Si layer 5' can be used as a device layer, this Si layer will contain B by which sets in process and thermal diffusion is carried out from SiGe (B) layer 4", and will have a residual compressive strain. Distortion does not join Si layer 5' as this device layer.
 [0030]

Moreover, although it could attain also by the approach of carrying out like above-mentioned drawing 1 A and drawing 1 B, and forming the three-tiered structure of Si/SiGe/Si in order to form a

distorted Si layer as a device layer, the problem that a rearrangement 33 spread was in the Si layer 5. In the semiconductor device and semi-conductor substrate of this invention, as shown in drawing 2 C, on silicon oxide top 2, it touches substantially and the SiGe layer 4 by which grid relaxation was carried out is formed, and the Si layer 5 is formed by a lamination method etc. on it. At this time, sufficient hauling distortion for the longitudinal direction of drawing arises by the grid relaxation SiGe layer 4 in the Si layer 5. Moreover, since it does not have the SOI layer 3 which the rearrangement 33 as shown in drawing 2 A produced, either, the trouble of degrading the crystallinity of the distorted Si layer 5 is not produced, either.

[0031] Moreover, the manufacture approach of this invention does not need to use an elevated-temperature annealing process like the conventional technique in order to carry out grid relaxation of the SiGe layer. For this reason, the distorted Si device layer in which a penetration rearrangement etc. is introduced into a SOI layer and these form a channel from elevated-temperature annealing is reached, and an inhibition property is not degraded. Therefore, in this invention, thickness of a SiGe layer can be made thinner than the conventional technique, and it becomes possible to thin-film-ize sum total thickness of the SiGe layer on an insulating layer, and Si layer to about conventional about 2 / 3. Therefore, quality and sufficient distortion without a defect can be impressed to a semiconductor device layer, without losing the effectiveness of SOI structure.

[0032] As for the thickness of the 1st semi-conductor layer, in this invention, it is [the thickness of 80nm or less and the 2nd semi-conductor layer] desirable for the total thickness of the sum total of 50nm or less and the 1st semi-conductor layer 10nm or more, and the 2nd semi-conductor layer to be 100nm or less. The good distorted semi-conductor film which does not have a defect by that cause can be formed.

[0033] In the semiconductor device and semi-conductor substrate of this invention, Si and the 1st semi-conductor layer have [the 2nd semi-conductor layer / germanium presentation by the side of the 2nd semi-conductor layer] them, although the less than 100% and 2nd semi-conductor layer and an opposite hand are the SiGe layers which are size. [more desirable than 0%] The 2nd semi-conductor layer is Si still more desirably, and, as for the 1st semi-conductor layer, it is desirable that it is a SiGe layer at least with larger germanium presentation by the side of the 2nd semi-conductor layer than 30atm(s)%.

[0034] Moreover, in this invention, the 1st semi-conductor layer is considered as a dip presentation, and it is good for the thickness direction also as an ununiformity in the distance between grids of the 1st semi-conductor layer. For example, it is the SiGe layer whose germanium presentation by the side of the 2nd semi-conductor layer of the 1st semi-conductor layer is size from 30atm(s)%, and it is desirable for germanium presentation of the 2nd semi-conductor layer and an opposite hand to be less than [30atm%].

[0035]

[Embodiment of the Invention] Hereafter, the gestalt (henceforth an operation gestalt) of operation of this invention is explained, referring to a drawing.

[0036] (1st operation gestalt) Drawing 3 is the sectional view of the semi-conductor substrate for explaining the manufacture approach of the semi-conductor substrate concerning the 1st example of this invention.

[0037] First, as shown in drawing 3 A, the Si oxide film 2 is beforehand formed on the Si substrate 1. The Si oxide film 2 can be formed by approaches used widely, such as thermal oxidation film and CVD (Chemical Vapor Deposition) film, such as a dry oxide film and a wet oxide film, and a wet oxide film by solution processing.

[0038] Next, as shown in drawing 3 B, the SiGe layer 4 is beforehand formed on another Si substrate 21. The SiGe layer 4 is fundamentally considered as undoping. Moreover, the SiGe layer 4 needs for germanium presentation by the side of less than 100% and a front face to have germanium presentation larger than 0% by the side of the Si substrate 21 at least. As for the SiGe layer 4, it is still more desirable than 30atm(s)% size and to make germanium presentation by the side of the Si substrate 21 into size at least than 30atm(s)% because of high-performance-izing. It is because electron mobility in a distorted Si layer can be made high if germanium presentation is made larger than 30atm(s)%. On the other hand, as for germanium presentation of the SiGe layer 4, it is desirable that it is less than [80atm%].

[0039] The SiGe layer 4 can be formed according to CVD (Chemical Vapor Deposition), MBE (Molecular Beam Epitaxy), a sputter process, etc. When forming the SiGe layer 4 by CVD, the raw-material gas of Si and the raw-material gas of germanium are introduced for example, on the Si substrate 21 heated at 550 degrees C, and carry out a laminating.

[0040] Next, 2s of top faces of the Si oxide film 2 and 4s of top faces of the SiGe layer 4 are doubled, and substrates 1 and 21 are made to rival. As an example of the lamination approach, prior annealing of hundreds of times (for example, 400-700 degrees C) extent and elevated-temperature annealing (for example, the inside of nitrogen, 1100 degrees C, 1 hour) for strengthening a flaring face are given. Since grid relaxation of the SiGe layer 4 is not carried out at this process, there is no generating of a rearrangement.

[0041] Next, as shown in drawing 3 C, the Si substrate 21 is exfoliated. The compressive strain received from the Si substrate 21 at this time is opened, and grid relaxation of the SiGe layer 4 is carried out.

[0042] It pulls in the Si layer 5 and distortion is introduced at the same time grid relaxation of the SiGe layer 4 will be carried out, if it leaves very thinly the Si layer 5 of the front face of the Si substrate 21 at this time. The good distorted Si layer 5 without a rearrangement, a pit, or a projection can be formed by carrying out like this.

[0043] Thus, the semi-conductor substrate which consists of the Si substrate 1, the Si oxide film 2 formed on this Si substrate 1, a grid relaxation SiGe layer 4 formed of lamination on this Si oxide film 2, and a distorted Si layer 5 formed on this grid relaxation SiGe layer 4 is formed.

[0044] Although the Si oxide film 2 and the grid relaxation SiGe layer 4 have touched directly substantially, you may have the 0-2nm interface buffer layer in the interface more preferably than 0-5nm. What this interface buffer layer becomes from Si is mentioned.

[0045] It is also possible by ****(ing) polish or an exfoliation process to the SiGe layer 4, carrying out grid relaxation of the SiGe layer 4 first, and then re-growing up a silicon layer very thinly with MBE or a CVD method to form the distorted Si layer 5.

[0046] Thus, as for the thickness of the distorted Si layer 5 formed for carrying out grid relaxation of the SiGe layer 4 at 10nm or more 80nm or less and this SiGe layer 4, it is desirable for the total thickness of ten or more 50nm or less and the SiGe layers 4, and the distorted Si layer 5 to be 30 or more nm [100] or less by removing the Si substrate 21 with which the SiGe layer 4 was formed beforehand. The good distorted semi-conductor film which does not have a defect by that cause can be formed.

[0047] moreover, PACE (plasma assisted chemical dry etching) to which clearance or thin-film-izing of the Si substrate 21 can improve the homogeneity of the thickness after thin-film[polish, for example, chemical polishing with which thickness is made thin using a drug solution or an abrasive material, chemical machinery polish, and]-izing -- what is necessary is just to use law etc. Moreover, the thin film-ized method which exfoliates the hydrogen exfoliating method for having injected hydrogen into the SiGe layer 4 or the Si substrate 21 in advance, and having poured in hydrogen after that which exfoliates from a field, and the Si substrate 21 with HF solution after oxidation etc. may be used.

[0048] In this invention, when 50nm and the SiGe thin film 4 thin enough are formed on the Si substrate 21 in front of a lamination process, the SiGe layer 4 exists as a layer to which compressive strain were impressed. However, as for this compressed SiGe layer 4, the distortion impression effectiveness from the Si substrate 21 to the SiGe layer 4 fades the Si substrate 21 thin-film-izing or by exfoliating after lamination. In this way, the SiGe layer 4 can open distortion. Consequently, the function as a stressor which impresses distortion to Si device layer which is the object of this invention is demonstrated.

[0049] The location at the time of removing the Si substrate 21 changes with specifications of processes, such as thickness of the Si substrate 21, and crystallinity. When the exfoliation process after hydrogen impregnation at this time, for example, solution etching, is used, a dry area may arise on the front face after exfoliation. By the PACE method, the defect of a reason may be especially introduced into a process from a front face.

[0050] In these cases, annealing is given in ambient atmospheres, such as hydrogen, an argon, nitrogen, and oxygen, after thin-film-izing, and if the process which performs the crystal front face

of the Si substrate 21 or recovery inside a crystal is added, a more uniform and quality thin film process will be realized.

[0051] As for the Si substrate 1 or the Si substrate 21, CZ, FZ, a MCZ substrate, etc. are used. Especially when using the front face for the Si substrate 21 as an Si device layer as it is after thin-film-izing or exfoliation, application of FZ substrate with little precipitation of oxygen is [sake / on a crystal disposition] effective.

[0052] Moreover, it is also possible by choosing the consistency and class of an impurity in the Si substrate 21 to make desired resistance in advance on the front face of the Si substrate 21.

[0053] The SOI structure of having the distorted Si device layer 5 of the thickness of the request formed as mentioned above can make sum total thickness on Si oxide-film insulating layer 2 thin to about 2/3 compared with the semi-conductor substrate shown in drawing 1. Moreover, the dislocation density which appears in SiGe layer 4 front face is reduced 10% or more, and can form the more nearly quality distorted Si device layer 5.

[0054] Drawing 12 is the sectional view of MISFET (MOSFET) formed in the above-mentioned distorted silicon layer 5. This MISFET is formed as follows. The front face of the distorted Si layer 5 is first oxidized thermally, and about 10nm thin gate oxide 101 is formed. Next, for example, n mold impurity ion for threshold voltage adjustment is poured into a channel field through gate oxide 101, and an n-type channel field is formed.

[0055] Next, after forming the polish recon film 2 used as the gate electrode 102 with a reduced pressure CVD method on gate oxide 101, pattern NINGU of this polish recon film is carried out by RIE (ReactiveIon Etching), and the gate electrode 102 is formed.

[0056] Next, after using the gate electrode 102 as a mask and pouring in n mold impurity ion, such as phosphorus ion, selectively, n mold source field 103 and n mold drain field 104 are formed in the gate electrode 102 in self align by performing about 800-degree C annealing treatment. Thus, although the n channel mold MISFET is formed, the p channel mold MISFET can be similarly formed by changing an impurity into p mold.

[0057] Since MISFET formed as mentioned above is formed into the distorted Si layer, electronic dispersion in a channel field is controlled and its electron mobility improves. Moreover, since MISFET is formed in the thin SOI layer with a thickness of 100nm or less, in addition to improvement in electron mobility, parasitic capacitance is also reduced. MISFET which was excellent in driving force as a result can be obtained.

[0058] (2nd operation gestalt) Drawing 4 is the sectional view showing the manufacture approach of the semi-conductor substrate concerning the 2nd example of this invention.

[0059] In this example, the laminating of the SiGe layer 4 is carried out after forming the epitaxial Si layer 6 on the Si substrate 21, and the thing in which the Si oxide film 9 was formed on this SiGe layer 4 is used as one side of a lamination substrate.

[0060] First, as shown in drawing 4 A, the Si oxide film 2 is beforehand formed like the 1st example on the Si substrate 1.

[0061] Next, as shown in drawing 4 B, the Si layer 6 used as the component formative layer is beforehand formed by the epitaxial method on another Si substrate 21, and the SiGe layer 4 is formed like the 1st example on this Si layer 6. The SiGe layer 4 is fundamentally considered as undoping. Moreover, the SiGe layer 4 requires at least that germanium presentation by the side of the Si layer 6 should be [germanium presentation of an opposite hand] size from 0% in less than 100% and the Si layer 6. further -- the SiGe layer 4 -- a high-performance-izing sake -- at least -- Si layer -- it is desirable to make the whole germanium presentation into size more desirably than 30atm(s)% 6 side. It is because electron mobility in a distorted Si layer can be made high if germanium presentation is made larger than 30atm(s)%. On the other hand, as for germanium presentation of the SiGe layer 4, it is desirable that it is less than [80atm%].

[0062] Furthermore, the Si oxide film 9 is formed on the SiGe layer 4 after this.

[0063] Next, two Si substrates 1 and 21 are made to rival like an example 1 together with 2s of top faces of the Si oxide film 2, and 9s of top faces of the Si oxide film 9, as shown in drawing 4 C. As shown in drawing 4 C as a result, the Si oxide film 2 and the Si oxide film 9 unify, and it becomes the Si oxide film 12. Exfoliation of the Si substrate 12 is performed after lamination.

[0064] When exfoliating by hydrogen impregnation after lamination, the Si substrate 21 exfoliates

after pouring hydrogen into the interface [of the Si layer 6 and the Si substrate 21], or Si layer 6 side. Distortion is introduced into the Si layer 6 used as the component formative layer at the same time the compressive strain received from the Si substrate 21 by doing in this way is opened and grid relaxation of the SiGe layer 4 is carried out.

[0065] Thus, the semi-conductor substrate which consists of the Si substrate 1, the Si oxide film 12 formed on this Si substrate 1, a grid relaxation SiGe layer 4 formed of lamination on this Si oxide film 12, and a distorted Si layer 6 formed on this grid relaxation SiGe layer 4 is formed.

[0066] Thus, the formed distorted Si layer 6 has few the precipitation of oxygen and the impurities which are contained in CZ substrate, and the ideal thin film layer which has desired resistance realizes it.

[0067] Although the Si oxide film 2 and the grid relaxation SiGe layer 4 have touched directly substantially, you may have the 0-2nm interface buffer layer in the interface more preferably than 0-5nm. What this interface buffer layer becomes from Si is mentioned.

[0068] In the 2nd example, since it can form so that the electrical property of a request of the Si layer 6 which turns into the component formative layer beforehand may be shown, a re-growth process is not needed. Moreover, after forming the SiGe layer 4, the effect which it has on the SiGe layer 4 more can be reduced by forming silicon oxide 9 further and carrying out lamination of the nine comrades to an oxide film 2.

[0069] Moreover, when a process advances to continuation in a clarification ambient atmosphere, it is except, for example, the case where the oxide film is formed on the SiGe layer 4 when performing [be / it / under / atmospheric-air / minding] a process may be assumed, and the silicon oxide 9 in drawing 4 B may be formed, without meaning.

[0070] Henceforth, MISFET shown in drawing 12 like the 1st example is formed in a distorted Si layer. MISFET which was excellent in driving force also in the 2nd example can be obtained.

[0071] (3rd operation gestalt) Drawing 5 is the sectional view of the semi-conductor substrate in which the manufacture approach of the semi-conductor substrate concerning the 3rd example of this invention is shown gradually.

[0072] The 3rd example is having distribution of a presentation of the SiGe layer 7 shown in drawing 5 C in the direction of thickness. That is, crystal growth is performed so that germanium concentration in the SiGe layer 7 may turn into high concentration by the low concentration and distorted Si layer 8 side in the Si substrate 1 side, as shown in drawing 6 . This becomes an ununiformity in the thickness direction about the distance between grids of the SiGe layer 7.

[0073] At this time, germanium presentation by the side of the Si substrate 1 is higher than 0%, and it is required for germanium presentation by the side of the Si layer 8 to be less than 100%.

germanium concentration by the side of the Si substrate 1 is less than [30atm%] more highly than 0atm%, and, specifically, it is [germanium concentration by the side of the distorted Si layer 8 is larger than 30atm(s)%, and] desirable less than [100atm%] and to control germanium presentation in the SiGe layer 7 that it is less than [80atm%] more preferably.

[0074] Thus, by controlling the presentation of the SiGe layer 7, the rearrangement generated from the interface of the Si oxide film 2 and the SiGe layer 7 advances so that a loop formation may form the inside of the SiGe layer 7, and it does not reach the interface of the SiGe layer 7 and the distorted Si layer 8. Therefore, the better distorted Si layer 8 can be offered.

[0075] The manufacture approach of a semi-conductor substrate is explained below.

[0076] First, as shown in drawing 5 A, the Si oxide film 2 is beforehand formed like the 1st operation gestalt on the Si substrate 1.

[0077] Next, as shown in drawing 5 B and drawing 6 , the SiGe layer 7 is formed on the Si substrate 21. germanium presentation at this time was controlled so that germanium presentation decreased gradually from the Si substrate 21, as described above.

[0078] Next, two Si substrates and 21 are made to rival like the 1st example so that 2s of top faces of the Si oxide film 2 and 7s of top faces of the SiGe layer 7 may be doubled.

[0079] Next, the Si substrate 21 is exfoliated like the 1st example, and grid relaxation of the SiGe layer 7 is carried out.

[0080] It pulls in the Si layer 8 and distortion is introduced at the same time grid relaxation of the SiGe layer 4 will be carried out, if it leaves very thinly Si layer of the front face of the Si substrate 21

at this time. The good distorted Si layer 8 without a rearrangement, a pit, or a projection can be formed by carrying out like this.

[0081] Thus, it is formed of lamination on the Si substrate 1, the Si oxide film 2 formed on this Si substrate 1, and this Si oxide film 2, and the semi-conductor substrate with which the presentation of germanium consists of a grid relaxation SiGe layer 7 which changed gradually, and a distorted Si layer 8 formed on this grid relaxation SiGe layer 7 is formed.

[0082] Although the Si oxide film 2 and the grid relaxation SiGe layer 7 have touched directly substantially, you may have the 0-2nm interface buffer layer in the interface more preferably than 0-5nm. What this interface buffer layer becomes from Si is mentioned.

[0083] It is also possible by ****(ing) polish or an exfoliation process to the SiGe layer 7, carrying out grid relaxation of the SiGe layer 7 first, and then re-growing up a silicon layer very thinly with MBE or a CVD method to form the distorted Si layer 8.

[0084] Moreover, in this example, since germanium concentration in the SiGe layer 7 is so low that it is close to the Si oxide film 2, the defect generated in the interface of the Si oxide film 2 and the SiGe layer 7 is confined in the Si oxide-film 2 side, and the SiGe layer the interface with the distorted Si layer 8 of the SiGe layer 7 after lamination carried out [the layer] grid relaxation is obtained. On the SiGe layer 7 which this eased to fitness, the distorted Si layer 8 which has hauling distortion is formed.

[0085] Moreover, or extent of relaxation differs and it has compression ratio distortion depending on process conditions according to differences, such as thickness of Si substrate layer 21 which it leaves by exfoliation or polish after the thickness of each class in drawing, annealing temperature, annealing time amount, and lamination, it is also possible to form Si device layer without distortion.

[0086] Henceforth, MISFET shown in drawing 12 like the 1st example is formed in a distorted Si layer. MISFET which was excellent in driving force also in the 3rd example can be obtained.

[0087] (4th operation gestalt) Drawing 7 is the sectional view showing the manufacture approach of the semi-conductor substrate concerning the 4th example of this invention.

[0088] In the 4th example, germanium concentration in the SiGe layer 7 on the Si substrate 21 shown in drawing 7 B has a concentration gradient in the direction of thickness, as shown in drawing 8, and the highest part of germanium concentration is located in the film of the SiGe layer 7 instead of an interface. Then, an exfoliation or thin film chemically-modified degree is given so that the high part of germanium concentration gradient may serve as a front face, and the field shown in drawing 7 B and drawing 8 by the dotted line turns into 7s of top faces of the thin-film-ized SiGe layer 7. Thus, the rearrangement which the semi-conductor substrate shown in drawing 7 C obtained by using the substrate which controlled the presentation of the SiGe layer 7 generated from the interface of the Si oxide film 2 and SiGe layer 7' advances so that a loop formation may form the inside of the SiGe layer 7, and it does not reach the interface of SiGe layer 7' and the distorted Si layer 8. Therefore, a better distorted Si layer can be offered.

[0089] furthermore -- lamination -- a front -- SiGe -- a layer -- seven -- crystal growth -- Si -- a substrate -- 21 -- a top -- low -- germanium -- concentration -- from -- starting -- since -- a mismatch -- depending -- a defect -- introducing -- having -- hard -- being good -- crystallinity -- having -- SiGe -- a layer -- seven -- ' -- obtaining -- having .

[0090] Hereafter, the manufacture approach of a semi-conductor substrate is explained.

[0091] First, as shown in drawing 7 A, the Si oxide film 2 is beforehand formed like the 1st operation gestalt on the Si substrate 1.

[0092] Next, beforehand, as shown in drawing 7 B and drawing 8, the SiGe layer 7 is formed on the Si substrate 21 so that germanium presentation ratio may become 0atm%→35atm%→0atm% in the direction of the film. Then, germanium presentation ratio of SiGe7 thin-film-izes to the highest center section, and considers as SiGe layer 7'. As a result, a germanium presentation ratio 35atm(s)% field is exposed to 7s of top faces of SiGe layer 7'.

[0093] Next, two Si substrates 1 and 21 are made to rival like the 1st example so that 2s of top faces of the Si oxide film 2 and the top face 7 of SiGe7' may be doubled. Then, the Si substrate 21 is removed like the 1st example, and grid relaxation of SiGe layer 7' is carried out. It pulls in the Si layer 8 and distortion is introduced at the same time grid relaxation of the SiGe layer 4 will be carried out, if it leaves very thinly Si layer of the front face of the Si substrate 21 at this time. The

good distorted Si layer 8 without a rearrangement, a pit, or a projection can be formed by carrying out like this.

[0094] thus -- Si -- a substrate -- one -- this -- Si -- a substrate -- one -- a top -- forming -- having had -- Si -- an oxide film -- two -- this -- Si -- an oxide film -- two -- a top -- lamination -- forming -- having -- germanium -- a presentation -- gradual -- having changed -- a grid -- relaxation -- SiGe -- a layer -- seven -- this -- a grid -- relaxation -- SiGe -- a layer -- seven -- ' -- a top -- forming -- having had -- distorted -- Si -- a layer -- eight -- from -- becoming -- a semi-conductor -- a substrate -- forming -- having . Thereby, the same effectiveness as the 3rd example can be acquired.

[0095] Although the Si oxide film 2 and grid relaxation SiGe layer 7' have touched directly substantially, they may have the 0-2nm interface buffer layer in the interface more preferably than 0-5nm. What this interface buffer layer becomes from Si is mentioned.

[0096] It is also possible by ****(ing) polish or an exfoliation process to the SiGe layer 7, carrying out grid relaxation of the SiGe layer 7 first, and then re-growing up a silicon layer very thinly with MBE or a CVD method to form the distorted Si layer 8.

[0097] MISFET henceforth shown in drawing 12 like the 1st example is formed in the distorted Si layer 8. MISFET which was excellent in driving force also in the 4th example can be obtained.

[0098] (5th operation gestalt) Drawing 9 is the sectional view of the semi-conductor substrate in which the manufacture approach of the semi-conductor substrate concerning the 5th example of this invention is shown.

[0099] In the 5th example, the SiGe layer which consists of a SiGe layer 11 which carried out grid relaxation with the grid relaxation SiGe layer 40 into which a rearrangement is introduced is formed on the Si substrate 21. The SiGe layer 40 is fully thick, and germanium concentration is the layer which changes with crystal growth, and it plays a role of the so-called buffer layer. For example, germanium concentration on the Si substrate 21 is 0atm%, germanium concentration increases with crystal growth and the SiGe buffer layer 40 is taken as the structure of having the dip presentation to which germanium concentration becomes 30atm(s)% by the thickness which is 2 micrometers.

[0100] The manufacture approach of a semi-conductor substrate is explained below.

[0101] First, as shown in drawing 9 A, the Si oxide film 2 is beforehand formed like the 1st example on the Si substrate 1.

[0102] Next, as shown in drawing 9 B, the SiGe buffer layer 40 of germanium presentation which was described above on another Si substrate 21 is formed thickly enough, and grid relaxation is carried out. Although a rearrangement 33 occurs in the SiGe buffer layer 4 at this time, since it is fully thick, it is not affected to the semi-conductor layer formed on it. Next, the good SiGe layer 11 of the crystallized state which carried out grid relaxation is formed on this SiGe buffer layer 4 that carried out grid relaxation. The growth approach of each class of SiGe is ***** to the 1st example. [0103] Next, two Si substrates 1 and 21 are made to rival like the 1st example so that 11s of top faces of the SiGe layer 11 which carried out grid relaxation with 2s of top faces of the Si oxide film 2 may be doubled.

[0104] Next, the Si substrate 21 and the SiGe buffer layer 4 are removed by polish or the hydrogen pouring-in method. Next, the distorted Si layer 8 is formed on the SiGe layer 11 which carried out grid relaxation. (drawing 9 C) Thus, the semi-conductor substrate which consists of the Si substrate 1, the Si oxide film 2 formed on this Si substrate 1, a grid relaxation SiGe layer 11 formed of lamination on this Si oxide film 2, and a distorted Si layer 8 formed on this grid relaxation SiGe layer 11 is formed.

[0105] Defects which produce the SiGe buffer layer 40 in a lattice mismatch in the Si substrate 21 side in the SiGe buffer layer 40, such as a penetration rearrangement and a misfit rearrangement, are shut up. As a result, by the front-face side of the SiGe buffer layer 40, there is no rearrangement and the SiGe layer which carried out grid relaxation is realized.

[0106] It is necessary to be the concentration by which distortion of a request is impressed to Si device layer, and the front-face side germanium concentration of this SiGe buffer layer 40 needs to be less than [80atm%] greatly, and its germanium concentration distribution of the direction of thickness does not need to be typically more uniform than 30atm(s)%. The high quality relaxation SiGe layer 11 which reduced defect density, such as a rearrangement, is formed by growing up the SiGe layer 11 which has a presentation equivalent to the front-face side presentation of the SiGe

buffer layer 4 succeeding in formation of this SiGe layer 40.

[0107] It is to become a technical problem here for the crystal growth of the several micrometers SiGe layer 40 to take a raw material and growth time amount as a buffer layer, and require process cost. The laminated structure of a distorted channel layer and a relaxation SiGe layer is realizable as mentioned above with the thin film-ized process after lamination. However, in respect of the depth cut of about 0.3 micrometers, hydrogen impregnation is performed to 40c (drawing 9 B), and it sticks on it, unites with it, and may be made to perform back exfoliation so that the SiGe layer of the thickness of a request before lamination may be obtained. Since the grid relaxation SiGe buffer layer which remains after exfoliation is reusable if it does in this way, simplification of a process and economization of a semi-conductor resource are possible, as a result reduction of a substrate manufacturing cost can be realized.

[0108] MISFET henceforth shown in drawing 12 like the 1st example is formed in the distorted Si layer 8. MISFET which was excellent in driving force also in the 5th example can be obtained.

[0109] (6th operation gestalt) Drawing 10 is the sectional view of the semi-conductor substrate in which the manufacture approach of the semi-conductor substrate concerning the 6th example of this invention is shown.

[0110] the -- six -- an example -- **** -- the time -- ten -- B -- being shown -- Si -- a substrate -- 21 -- a top -- a rearrangement -- introducing -- having -- a grid -- relaxation -- SiGe -- a buffer layer -- 40 -- a grid -- relaxation -- SiGe -- a buffer layer -- 40 -- a top -- the grid relaxation SiGe layer 11 -- distorted -- a lamination process is continuously performed for the Si layer 10 and another grid relaxation SiGe layer 13 after formation.

[0111] First, as shown in drawing 10 A, the Si oxide film 2 is beforehand formed like the 1st example on the Si substrate 1.

[0112] Next, as shown in drawing 10 B, the SiGe buffer layer 40 is beforehand formed thickly like the 5th example on another Si substrate 21, and grid relaxation is carried out. On this SiGe buffer layer 40 that carried out grid relaxation, the grid relaxation SiGe layer 11, the distorted Si layer 10, and the grid relaxation SiGe layer 13 are continued, and it grows up.

[0113] Next, the Si substrates 1 and 21 are made to rival like the 1st example so that 2s of top faces of the Si oxide film 2 and 13s of top faces of the grid relaxation SiGe film 13 may be united as shown in drawing 6 (c).

[0114] Next, the Si substrate 21, the grid relaxation SiGe buffer layer 40, and the grid relaxation SiGe layer 11 are removed by polish or the hydrogen pouring-in method so that the distorted Si layer 10 may come out to a front face. (drawing 10 C) Thus, it is formed of lamination on the Si substrate 1, the Si oxide film 2 formed on this Si substrate 1, and this Si oxide film 2, and the semi-conductor substrate which consists of a grid relaxation SiGe layer 13 and a distorted Si layer 10 formed on this grid relaxation SiGe layer 13 is formed.

[0115] In this example, the Si layer 10 on the grid relaxation SiGe layer 11 formed on the Si substrate 21 has received hauling distortion naturally, and the SiGe layer 13 on it turns into an eased layer further.

[0116] The grid relaxation SiGe layer 13 may give inclination to germanium presentation like the 3rd or 4th example, in order to reduce the defect generated from the interface from the insulating layer 2 and the SiGe layer 13 after lamination.

[0117] Moreover, on the grid relaxation SiGe layer 13, like the 2nd example, after forming an insulating layer 9 beforehand, lamination may be performed.

[0118] When the Si layer 10 from which distortion was impressed on the SiGe layer 13 with a high relaxation rate in the 6th example can be formed directly, it is possible to choose more greatly than 30atm(s)% germanium concentration in the grid relaxation SiGe layer 13 as arbitration in between below 100atm%, and it is also still more possible to set thickness of the SiGe layer 13 on an insulating layer 2 and the distorted Si device layer 10 to 10nm or less, respectively.

[0119] Consequently, it is easy to hold down the sum total thickness on an insulator layer 2 to 40nm or less, the SOI effectiveness is fully attained and sufficient distortion can be impressed to Si device layer 10.

[0120] MISFET which was excellent in driving force also in the 6th example like the 1st example after that can be obtained.

[0121] (7th operation gestalt) Drawing 11 is the sectional view of the semi-conductor substrate in which the manufacture approach of the semi-conductor substrate concerning the 7th example of this invention is shown.

[0122] The structure in which the grid relaxation SiGe layer 11 and the distorted Si layer 10 which used the SiGe substrate 31 instead of and re-grew on the SiGe substrate 31, and the grid relaxation SiGe layer 13, and the Si oxide film 9 were formed explains this example as one side of a lamination substrate. [the Si substrate 21]

[0123] First, as shown in drawing 11 A, the Si oxide film 2 is beforehand formed like the 1st example on the Si substrate 1.

[0124] Next, as shown in drawing 11 B, the SiGe layer 11 is beforehand formed like the 1st example on the SiGe substrate 31, and on this SiGe layer 11, the Si layer 10, the SiGe layer 13 (germanium presentation by the side of the Si layer 10 is size from 30atm(s)%), and the Si oxide film 9 are continued, and it grows up.

[0125] Next, the Si substrate 1 and the SiGe substrate 31 are made to rival like the 1st example so that 2s of top faces of the Si oxide film 2 and 9s of top faces of the Si oxide film 9 may be doubled. Next, the SiGe substrate 31 and the SiGe layer 11 are removed by polish or the hydrogen pouring-in method so that the Si layer 10 may come out to a front face.

[0126] Thus, as shown in drawing 11 C, it is formed of lamination on the Si substrate 1, the Si oxide film 12 formed on this Si substrate 1, and this Si oxide film 12, and the semi-conductor substrate which consists of a grid relaxation SiGe layer 13 and a distorted Si layer 10 formed on this grid relaxation SiGe layer 13 is formed.

[0127] In this case, in order to stick and unite, there should just be either [at least] an Si oxide film 2 or an Si oxide film 9. Moreover, it is good to make into an ununiformity germanium concentration a lamination process, a thin film chemically-modified degree, or in the exfoliation SiGe layer 13 which touches an insulating layer in order to acquire the effectiveness which shuts up a defect with a possibility of generating from the plane of composition of the SiGe layer 13 and an insulating layer 9 in process.

[0128] Although this example showed the case where it had the same SiGe presentation as the layer 11 from which a substrate 31 serves as a stressor, it is also possible to perform presentation control in the layer formed on a substrate, and to set it as desired concentration.

[0129] MISFET henceforth shown in drawing 12 like the 1st example is formed in the distorted Si layer 10. MISFET excellent in driving force can be obtained also in the 6th example.

[0130] Moreover, although the above 1st thru/or the 7th example explained the case where the layer (1st semi-conductor layer) which impresses distortion was a SiGe layer, and a device layer (2nd semi-conductor layer) was an Si layer If it is in a two-layer combination from which a lattice constant differs so that it may pull in the 2nd semi-conductor layer, and distortion may arise, and the lattice constant of the 2nd semi-conductor layer may become smaller than the lattice constant of the 1st semi-conductor layer You may also choose what kind of crystal. Specifically Si, GaAs, SiC, GaN, GaAlAs, InGaP, InGaPAs, aluminum2O3, BN, The effectiveness of this invention is acquired by BNC, C, and high concentration in the combination of two kinds of matter among matter, such as Si (impurity B), Si (impurity P), Si (impurity As), SiNx, ZnSe, etc. by which impurity addition was carried out. However, as for the concentration of B contained in the 1st semi-conductor layer, it is desirable that it is less than [1x1020atm%].

[0131] Although Si substrate and the SiGe substrate were used as substrates 1, 21, and 31 in the above 1st thru/or the 7th example, you may be GaAs, ZnSe, SiC and germanium, sapphire, organic glass, inorganic glass, or a plastic.

[0132] Although Si oxide film was used as insulator layers 2 and 9 in the above 1st thru/or the 7th example, you may be other insulator layers, such as a silicon acid nitride and a silicon nitride.

[0133]

[Effect of the Invention] As mentioned above, while crystalline degradation of the device layer by the defect spread from the conventionally difficult distortion layer as a stressor is reduced according to this invention, it is possible to make thinner sum total thickness on the insulating layer on SOI structure. Therefore, degradation of a component property is suppressed, low-power-izing and high integration are attained, and high performance-ization of a semiconductor device can be realized.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1]** The substrate sectional view for explaining the manufacture approach of the conventional semi-conductor substrate.
- [Drawing 2]** The substrate sectional view for explaining the manufacture approach of this invention and the conventional semi-conductor substrate.
- [Drawing 3]** The substrate sectional view for explaining the manufacture approach of the semi-conductor substrate of this invention.
- [Drawing 4]** The substrate sectional view for explaining the manufacture approach of the semi-conductor substrate of this invention.
- [Drawing 5]** The substrate sectional view for explaining the manufacture approach of the semi-conductor substrate of this invention.
- [Drawing 6]** Drawing showing germanium presentation of the SiGe layer in the semi-conductor substrate of this invention.
- [Drawing 7]** The substrate sectional view for explaining the manufacture approach of the semi-conductor substrate of this invention.
- [Drawing 8]** Drawing showing germanium presentation of the SiGe layer in the semi-conductor substrate of this invention.
- [Drawing 9]** The substrate sectional view for explaining the manufacture approach of the semi-conductor substrate of this invention.
- [Drawing 10]** The substrate sectional view for explaining the manufacture approach of the semi-conductor substrate of this invention.
- [Drawing 11]** The substrate sectional view for explaining the manufacture approach of the semi-conductor substrate of this invention.
- [Drawing 12]** The component sectional view for explaining the semiconductor device of this invention.

[Description of Notations]

- 1 Si substrate
- 2 Insulating layer (Si oxide-film layer)
- 3 SOI layer
- 4 SiGe layer
- 5 Distorted Si layer
- 6 Distorted epitaxial Si layer
- 7 Dip presentation SiGe layer
- 8 Distorted Si layer formed by re-growth
- 9 Insulating layer
- 10 Distorted Si layer
- 11 SiGe layer
- 12 Insulating layer
- 13 SiGe layer
- 21 Si substrate
- 31 SiGe substrate
- 33 Rearrangement

[Translation done.]

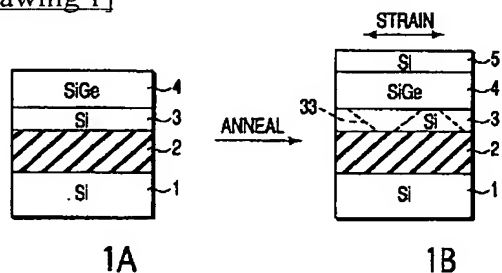
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

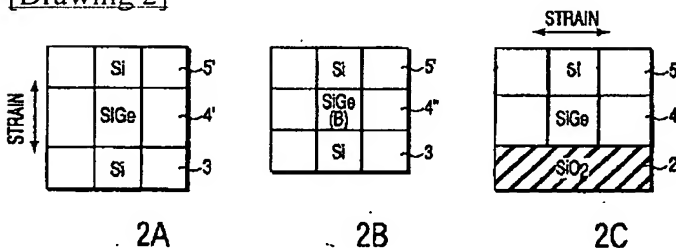
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

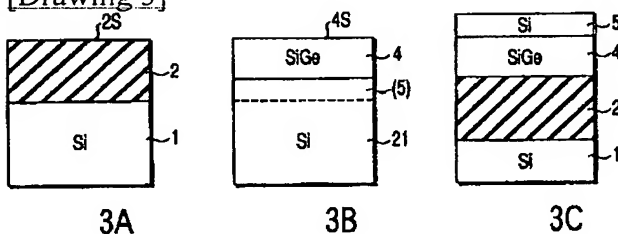
[Drawing 1]



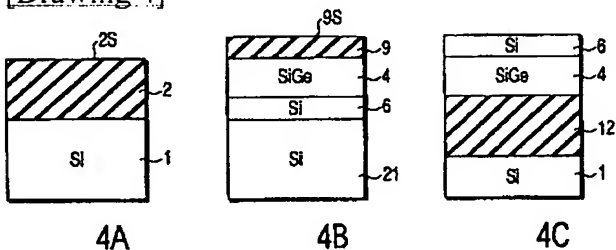
[Drawing 2]



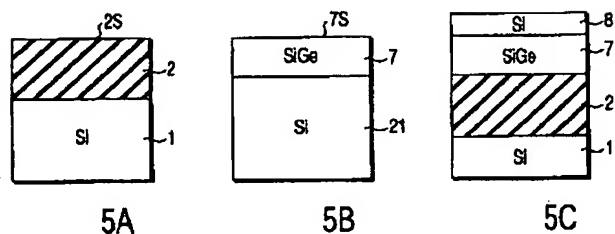
[Drawing 3]



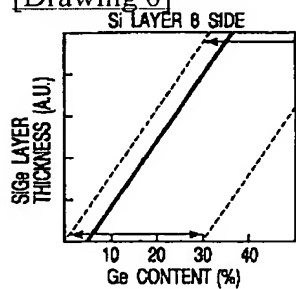
[Drawing 4]



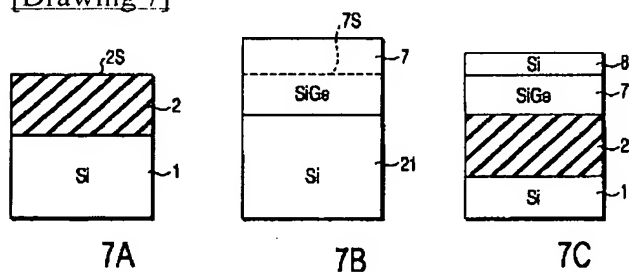
[Drawing 5]



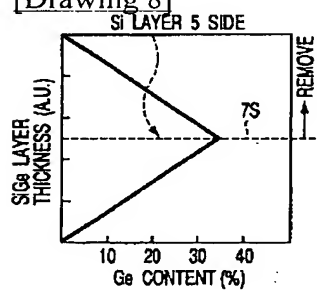
[Drawing 6]



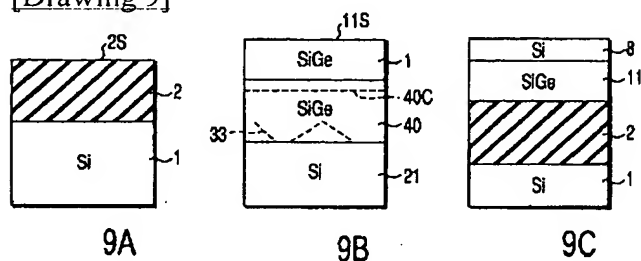
[Drawing 7]



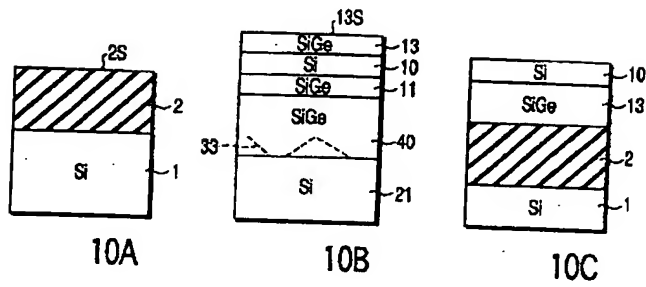
[Drawing 8]



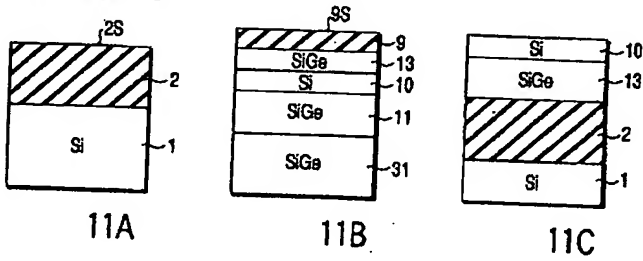
[Drawing 9]



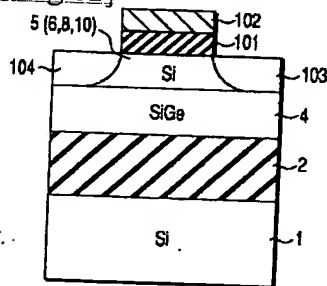
[Drawing 10]



[Drawing 11]



[Drawing 12]



[Translation done.]